

日 本 国 特 許 庁

PATENT OFFICE
JAPANESE GOVERNMENT

JC836 U.S. PTO
09/619435
07/19/00

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

1999年 9月27日

出 願 番 号

Application Number:

平成11年特許願第272584号

出 願 人

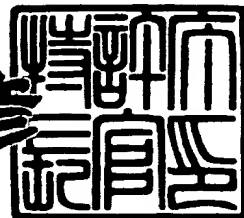
Applicant (s):

ミノルタ株式会社

2000年 5月19日

特許庁長官
Commissioner,
Patent Office

近 藤 隆 彦



出証番号 出証特2000-3036604

【書類名】 特許願

【整理番号】 P990927168

【提出日】 平成11年 9月27日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 27/14

【発明の名称】 固体撮像装置

【請求項の数】 19

【発明者】

【住所又は居所】 大阪府中央区安土町二丁目 3 番 1 3 号 大阪国際ビル
ミノルタ株式会社内

【氏名】 萩原 義雄

【特許出願人】

【識別番号】 000006079

【氏名又は名称】 ミノルタ株式会社

【代理人】

【識別番号】 100085501

【弁理士】

【氏名又は名称】 佐野 静夫

【手数料の表示】

【予納台帳番号】 024969

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9716119

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 固体撮像装置

【特許請求の範囲】

【請求項 1】 入射した光量に応じた電気信号を発生する感光素子と該感光素子に第 1 電極が接続されたトランジスタを有するとともに該トランジスタをサブスレッシュOLD領域で動作させて前記電気信号を自然対数的に変換する光電変換手段と、該光電変換手段の出力信号を出力信号線へ導出する導出路とを備えた固体撮像装置において、

前記トランジスタの第 1 電極と制御電極とを前記感光素子に接続し、
定電流源を設け、

前記定電流源より前記トランジスタに電流を流して、前記トランジスタの制御電極の電圧を前記トランジスタに対応した所定の電圧値にすることによってリセット動作を行うことを特徴とする固体撮像装置。

【請求項 2】 前記トランジスタの第 1 電極と前記定電流源の間に第 1 スイッチ手段を設け、

撮像動作を行うときは、前記第 1 スイッチ手段を OFF にするとともに前記トランジスタをサブスレッシュOLD領域で動作させ、

又、リセット動作を行うときは、前記第 1 スイッチ手段を ON にするとともに前記トランジスタに定電流源から電流を流して導通状態にすることを特徴とする請求項 1 に記載の固体撮像装置。

【請求項 3】 前記感光素子と前記トランジスタの第 1 電極との間に第 2 スイッチ手段を備え、

撮像動作を行うときは、前記第 2 スイッチ手段を ON にするとともに前記トランジスタをサブスレッシュOLD領域で動作させ、

又、リセット動作を行うときは、前記第 2 スイッチ手段を OFF にするとともに前記トランジスタを導通状態にすることを特徴とする請求項 1 又は請求項 2 に記載の固体撮像装置。

【請求項 4】 入射した光量に対して自然対数的に変換した出力信号を発生する光電変換手段と、該光電変換手段の出力信号を出力信号線へ導出する導出路と

を備えた複数の画素を有する固体撮像装置において、

前記光電変換手段が、

第 1 電極に直流電圧が印加された光電変換素子と、

第 1 電極と第 2 電極と制御電極とを備え、第 1 電極及び制御電極が前記光電変換素子の第 2 電極に接続された第 1 トランジスタと、

第 1 電極と第 2 電極と制御電極とを備え、第 1 電極に直流電圧が印加されるとともに制御電極が前記第 1 トランジスタの第 1 電極及び制御電極に接続され、第 2 電極から電気信号を出力する第 2 トランジスタと、

前記第 1 トランジスタに定電流を流す定電流源と、

前記定電流源と前記第 1 トランジスタの第 1 電極及び制御電極の接続ノードとの間に接続された第 1 スイッチとを有し、

前記各画素が撮像動作を行うときは、前記第 1 スイッチを OFF にし、

前記各画素をリセットするとき、前記第 1 スイッチを ON にすることを特徴とする固体撮像装置。

【請求項 5】 前記第 1 トランジスタの制御電極及び第 1 電極の接続ノードと前記光電変換素子の第 2 電極との間に接続される第 2 スイッチを有し、

前記各画素が撮像動作を行うときは、前記第 2 スイッチを ON にし、又、前記各画素がリセット動作を行うときは、前記第 2 スイッチを OFF にすることを特徴とする請求項 4 に記載の固体撮像装置。

【請求項 6】 前記光電変換素子の第 1 電極に一端が接続されるとともに他端に直流電圧が印加される第 2 スイッチを有し、

前記各画素が撮像動作を行うときは、前記第 2 スイッチを ON にし、又、前記各画素がリセット動作を行うときは、前記第 2 スイッチを OFF にすることを特徴とする請求項 4 に記載の固体撮像装置。

【請求項 7】 前記第 2 スイッチがトランジスタであることを特徴とする請求項 5 又は請求項 6 に記載の固体撮像装置。

【請求項 8】 前記第 1 スイッチがトランジスタであることを特徴とする請求項 4 ～請求項 7 のいずれかに記載の固体撮像装置。

【請求項 9】 前記画素が、マトリクス状に配設されることを特徴とする請求項 4 ～請求項 8 のいずれかに記載の固体撮像装置。

【請求項 1 0】 複数の画素を有する固体撮像装置において、
各画素が、
フォトダイオードと、
該フォトダイオードの一方の電極に第 1 電極及びゲート電極が接続された第 1 MOS トランジスタと、

前記第 1 MOS トランジスタの第 1 電極及びゲート電極にゲート電極が接続された第 2 MOS トランジスタと、

定電流源と、

前記第 1 MOS トランジスタの第 1 電極及びゲート電極に第 2 電極が接続されるとともに、第 1 電極に前記定電流源が接続された第 3 MOS トランジスタとを有し、

前記画素に撮像動作をさせるときは、前記フォトダイオードから出力される電気信号を自然対数的に変換するように、前記第 3 MOS トランジスタを OFF にして、前記第 1 MOS トランジスタを閾値以下のサブスレッショルド領域で動作させ、

前記画素のリセットを行うときに、前記第 3 MOS トランジスタを ON にして、前記第 1 MOS トランジスタに定電流を流して、前記第 1 MOS トランジスタのゲート電極を前記第 1 MOS トランジスタに対応した所定の電圧値にリセットすることを特徴とする固体撮像装置。

【請求項 1 1】 前記フォトダイオードと前記第 1 MOS トランジスタとの間に設けられ、前記フォトダイオードの第 2 電極に第 1 電極が接続されるとともに、前記第 1 MOS トランジスタの第 1 電極及びゲート電極の接続ノードに第 2 電極が接続された第 4 MOS トランジスタを有し、

前記画素に撮像動作をさせるときは、前記フォトダイオードから出力される電気信号を自然対数的に変換するように、前記第 3 MOS トランジスタを OFF にするとともに前記第 4 MOS トランジスタを ON にして、前記第 1 MOS トランジスタを閾値以下のサブスレッショルド領域で動作させ、

前記画素のリセットを行うときに、前記第4 MOS トランジスタをOFFにするとともに前記第3 MOS トランジスタをONにして、前記第1 MOS トランジスタに定電流を流して、前記第1 MOS トランジスタのゲート電極を前記第1 MOS トランジスタに対応した所定の電圧値にリセットすることを特徴とする請求項10に記載の固体撮像装置。

【請求項12】 第1電極に直流電圧が印加されるとともに、前記フォトダイオードの第1電極に第2電極が接続された第4 MOS トランジスタを有し、

前記画素に撮像動作をさせるときは、前記フォトダイオードから出力される電気信号を自然対数的に変換するように、前記第3 MOS トランジスタをOFFにするとともに前記第4 MOS トランジスタをONにして、前記第1 MOS トランジスタを閾値以下のサブスレッシュホールド領域で動作させ、

前記画素のリセットを行うときに、前記第4 MOS トランジスタをOFFにするとともに前記第3 MOS トランジスタをONにして、前記第1 MOS トランジスタに定電流を流して、前記第1 MOS トランジスタのゲート電極を前記第1 MOS トランジスタに対応した所定の電圧値にリセットすることを特徴とする請求項10に記載の固体撮像装置。

【請求項13】 前記画素が、第1電極が前記第2 MOS トランジスタの第2電極に接続され、第2電極が出力信号線に接続され、ゲート電極が行選択線に接続された第6 MOS トランジスタを有することを特徴とする請求項10～請求項12のいずれかに記載の固体撮像装置。

【請求項14】 前記画素が、第1電極が直流電圧に接続され、ゲート電極が前記第2 MOS トランジスタの第2電極に接続されるとともに、前記第2 MOS トランジスタの第2電極から出力される出力信号を増幅する第5 MOS トランジスタを有することを特徴とする請求項10～請求項12のいずれかに記載の固体撮像装置。

【請求項15】 前記画素が、第1電極が前記第5 MOS トランジスタの第2電極に接続され、第2電極が出力信号線に接続され、ゲート電極が行選択線に接続された第6 MOS トランジスタを有することを特徴とする請求項14に記載の固体撮像装置。

【請求項 1 6】 前記画素が、前記第 2 MOS トランジスタの第 2 電極に一端が接続されるとともに、前記第 2 MOS トランジスタの第 1 電極にリセット電圧が与えられたときに前記第 2 MOS トランジスタを介してリセットされるキャパシタを有することを特徴とする請求項 1 4 又は請求項 1 5 に記載の固体撮像装置。

【請求項 1 7】 前記第 2 MOS トランジスタの第 1 電極が直流電圧に接続されるとともに、

前記画素が、

前記第 2 MOS トランジスタの第 2 電極に第 1 電極が接続され第 2 電極に直流電圧が接続された第 7 MOS トランジスタと、

前記第 2 MOS トランジスタの第 2 電極に一端が接続されるとともに、前記第 7 MOS トランジスタのゲート電極にリセット電圧が与えられたときに前記第 7 MOS トランジスタを介してリセットされるキャパシタと、

を有することを特徴とする請求項 1 4 又は請求項 1 5 に記載の固体撮像装置。

【請求項 1 8】 第 1 方向に 1 列に配された前記画素の第 1 MOS トランジスタの第 2 電極に共通に接続される第 1 直流電圧線と、

第 2 方向に 1 列に配された前記画素の第 1 MOS トランジスタの第 2 電極に共通に接続される第 2 直流電圧線とを有し、

前記各画素が撮像動作を行うときは、前記第 1 MOS トランジスタの第 2 電極を前記第 1 直流電圧線に接続し、

前記各画素がリセット動作を行うときは、前記第 1 MOS トランジスタの第 2 電極を前記第 2 直流電圧線に接続することを特徴とする請求項 1 0 ～請求項 1 7 のいずれかに記載の固体撮像装置。

【請求項 1 9】 前記画素に対し前記出力信号線を介して接続された負荷抵抗又は定電流源を成す MOS トランジスタを備えていることを特徴とする請求項 1 0 ～請求項 1 8 のいずれかに記載の固体撮像装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は固体撮像装置に関するものであり、特に複数の画素を備えた固体撮像装置に関する。

【0002】

【従来の技術】

固体撮像装置は、小型、軽量で低消費電力であるのみならず、画像歪や焼き付きが無く、振動や磁界などの環境条件に強い。又、LSI (Large Scale Integrated circuit) と共通の工程又は類似の工程で製造できるので、信頼性が高く、量産にも適している。このため、ライン状に画素が配された固体撮像装置がファクシミリやフラットベッドスキャナに、マトリクス状に画素が配された固体撮像装置がビデオカメラやデジタルカメラなどに幅広く使用されている。ところで、このような固体撮像装置は光電変換素子で発生した光電荷を読み出す（取り出す）手段によってCCD型とMOS型に大きく分けられる。CCD型は光電荷をポテンシャルの井戸に蓄積しつつ、転送するようになっており、ダイナミックレンジが狭いという欠点がある。一方、MOS型はフォトダイオードのpn接合容量に蓄積した電荷をMOSトランジスタを通して読み出すようになっている。

【0003】

ここで、従来のMOS型固体撮像装置の1画素当りの構成を図33に示し説明する。同図において、PDはフォトダイオードであり、そのカソードがMOSトランジスタT1のゲートとMOSトランジスタT2のドレインに接続されている。MOSトランジスタT1のソースはMOSトランジスタT3のドレインに接続され、MOSトランジスタT3のソースは出力信号線V_{out}へ接続されている。又、MOSトランジスタT1のドレイン及びMOSトランジスタT2のソースには直流電圧V_{PD}が印加され、フォトダイオードのアノードには直流電圧V_{PS}が印加されている。

【0004】

フォトダイオードPDに光が入射すると、光電荷が発生し、その電荷はMOS

トランジスタT1のゲートに蓄積される。ここで、MOSトランジスタT3のゲートにパルス ϕV を与えてMOSトランジスタT3をONすると、MOSトランジスタT1のゲートの電荷に比例した電流がMOSトランジスタT1、T3を通過して出力信号線V_{out}へ導出される。このようにして入射光量に比例した出力電流を読み出すことができる。信号読み出し後はMOSトランジスタT3をOFFにするとともに、MOSトランジスタT2のゲートに信号 ϕRS を与えてMOSトランジスタT2をONすることでMOSトランジスタT1のゲート電圧を初期化させることができる。

【0005】

【発明が解決しようとする課題】

このように、従来のMOS型の固体撮像装置は各画素においてフォトダイオードで発生しMOSトランジスタのゲートに蓄積された光電荷をそのまま読み出すものであったからダイナミックレンジが狭く、そのため露光量を精密に制御しなければならず、しかも露光量を精密に制御しても暗い部分が黒くつぶれたり、明るい部分が飽和したりしていた。一方、本出願人は、入射した光量に応じた光電流を発生しうる感光手段と、光電流を入力するMOSトランジスタと、このMOSトランジスタをサブスレッショルド電流が流れうる状態にバイアスするバイアス手段とを備え、光電流を対数変換するようにした固体撮像装置を提案した（特開平3-192764号公報参照）。このような固体撮像装置は、広いダイナミックレンジを有しているものの、画素毎に設けられたMOSトランジスタの閾値特性が異なることがあり、画素毎に感度が異なる場合がある。よって、予め輝度が一樣な明るい光（一樣光）を照射することによって得られた出力を、被写体の撮像時の各画素の出力を補正する補正データとして保持するなどの対策が必要である。

【0006】

しかしながら、操作者が外部光源を用いて各画素を照射するのは煩雑であったり、又、うまく一樣に露光できないなどの問題がある。又、一樣光の照射機構を撮像装置に設けると撮像装置の構成が複雑になったり大型化するという問題があった。そこで本発明者らは、このような問題点を解決すべく、予め一樣光を照射

することなく各画素の感度バラツキをうち消すことができる回路構成について種々検討を行っている。本発明はこのような点に鑑みなされたものであって、予め一様光を照射することなく、被写体の撮像時における各画素の出力を補正する補正データを正確に得ることができる固体撮像装置を提供することを目的とする。又、本発明の他の目的は、各画素のゲート部表面ポテンシャルをほぼ同一の状態とする事によって、各画素の感度のバラツキを抑制した固体撮像装置を提供することである。

【 0 0 0 7 】

【課題を解決するための手段】

上記の目的を達成するため請求項 1 に記載の固体撮像装置は、入射した光量に応じた電気信号を発生する感光素子と該感光素子に第 1 電極が接続されたトランジスタを有するとともに該トランジスタをサブスレッシュولد領域で動作させて前記電気信号を自然対数的に変換する光電変換手段と、該光電変換手段の出力信号を出力信号線へ導出する導出路とを備えた固体撮像装置において、前記トランジスタの第 1 電極と制御電極とを前記感光素子に接続し、定電流源を設け、前記定電流源より前記トランジスタに電流を流して、前記トランジスタの制御電極の電圧を前記トランジスタに対応した所定の電圧値にすることによってリセット動作を行うことを特徴とする。

【 0 0 0 8 】

このような固体撮像装置において、請求項 2 に記載するように、前記トランジスタの第 1 電極と前記定電流源の間に第 1 スイッチ手段を設けることによって、撮像動作を行うときは、前記第 1 スイッチ手段を OFF にするとともに前記トランジスタをサブスレッシュولد領域で動作させ、又、リセット動作を行うときは、前記第 1 スイッチ手段を ON にするとともに前記トランジスタに定電流源から電流を流して導通状態にする。

【 0 0 0 9 】

更に、請求項 3 に記載するように、前記感光素子と前記トランジスタの第 1 電極との間に第 2 スイッチ手段を備え、撮像動作を行うときは、前記第 2 スイッチ手段を ON にするとともに前記トランジスタをサブスレッシュولد領域で動作さ

せ、又、リセット動作を行うときは、前記第 2 スイッチ手段を OFF にするとともに前記トランジスタを導通状態にするような固体撮像装置としても良い。

【0 0 1 0】

請求項 3 に記載するような固体撮像装置は、例えば、ビデオムービーなどの撮像装置のように撮像動作とリセット動作を繰り返し行うことで、動画を撮像する場合、感光素子に光が入射された状態でも、第 2 スイッチ手段を OFF にすることによって、光電変換手段をリセットすることができる。

【0 0 1 1】

請求項 4 に記載の固体撮像装置は、入射した光量に対して自然対数的に変換した出力信号を発生する光電変換手段と、該光電変換手段の出力信号を出力信号線へ導出する導出路とを備えた複数の画素を有する固体撮像装置において、前記光電変換手段が、第 1 電極に直流電圧が印加された光電変換素子と、第 1 電極と第 2 電極と制御電極とを備え、第 1 電極及び制御電極が前記光電変換素子の第 2 電極に接続された第 1 トランジスタと、第 1 電極と第 2 電極と制御電極とを備え、第 1 電極に直流電圧が印加されるとともに制御電極が前記第 1 トランジスタの第 1 電極及び制御電極に接続され、第 2 電極から電気信号を出力する第 2 トランジスタと、前記第 1 トランジスタに定電流を流す定電流源と、前記定電流源と前記第 1 トランジスタの第 1 電極及び制御電極の接続ノードとの間に接続された第 1 スイッチとを有し、前記各画素が撮像動作を行うときは、前記第 1 スイッチを OFF にし、前記各画素をリセットするとき、前記第 1 スイッチを ON にすることを特徴とする。

【0 0 1 2】

このような固体撮像装置において、請求項 5 に記載するように、前記第 1 トランジスタの制御電極及び第 1 電極の接続ノードと前記光電変換素子の第 2 電極との間に接続される第 2 スイッチを設けて、前記各画素が撮像動作を行うときは、前記第 2 スイッチを ON にし、又、前記各画素がリセット動作を行うときは、前記第 2 スイッチを OFF にするような構成にしても良い。又、請求項 6 に記載するように、前記光電変換素子の第 1 電極に一端が接続されるとともに他端に直流電圧が印加される第 2 スイッチを有し、前記各画素が撮像動作を行うときは、前

記第2スイッチをONにし、又、前記各画素がリセット動作を行うときは、前記第2スイッチをOFFにするような構成にしても良い。

【0013】

このような固体撮像装置において、請求項7に記載するように、前記第2スイッチをトランジスタとしても良い。又、請求項8に記載するように、前記第1スイッチをトランジスタとしても良い。

【0014】

請求項9に記載の固体撮像装置は、請求項4～8のいずれかに記載の固体撮像装置において、前記画素がマトリクス状に配設されることを特徴とする。

【0015】

請求項10に記載の固体撮像装置は、画素をマトリクス状に配してなる二次元の固体撮像装置において、各画素が、フォトダイオードと、該フォトダイオードの一方の電極に第1電極及びゲート電極が接続された第1MOSトランジスタと、前記第1MOSトランジスタの第1電極及びゲート電極にゲート電極が接続された第2MOSトランジスタと、定電流源と、前記第1MOSトランジスタの第1電極及びゲート電極に第2電極が接続されるとともに、第1電極に前記定電流源が接続された第3MOSトランジスタとを有し、前記画素に撮像動作をさせるときは、前記フォトダイオードから出力される電気信号を自然対数的に変換するように、前記第3MOSトランジスタをOFFにして、前記第1MOSトランジスタを閾値以下のサブスレッシュホールド領域で動作させ、前記画素のリセットを行うときに、前記第3MOSトランジスタをONにして、前記第1MOSトランジスタに定電流を流して、前記第1MOSトランジスタのゲート電極を前記第1MOSトランジスタに対応した所定の電圧値にリセットすることを特徴とする。

【0016】

請求項11に記載の固体撮像装置は、請求項10に記載の固体撮像装置において、前記フォトダイオードと前記第1MOSトランジスタとの間に設けられ、前記フォトダイオードの第2電極に第1電極が接続されるとともに、前記第1MOSトランジスタの第1電極及びゲート電極の接続ノードに第2電極が接続された第4MOSトランジスタを有し、前記画素に撮像動作をさせるときは、前記フォ

トダイオードから出力される電気信号を自然対数的に変換するように、前記第 3 MOS トランジスタを OFF にするとともに前記第 4 MOS トランジスタを ON にして、前記第 1 MOS トランジスタを閾値以下のサブスレッショルド領域で動作させ、前記画素のリセットを行うときに、前記第 4 MOS トランジスタを OFF にするとともに前記第 3 MOS トランジスタを ON にして、前記第 1 MOS トランジスタに定電流を流して、前記第 1 MOS トランジスタのゲート電極を前記第 1 MOS トランジスタに対応した所定の電圧値にリセットすることを特徴とする。

【0017】

請求項 1 2 に記載の固体撮像装置は、請求項 1 0 に記載の固体撮像装置において、第 1 電極に直流電圧が印加されるとともに、前記フォトダイオードの第 1 電極に第 2 電極が接続された第 4 MOS トランジスタを有し、前記画素に撮像動作をさせるときは、前記フォトダイオードから出力される電気信号を自然対数的に変換するように、前記第 3 MOS トランジスタを OFF にするとともに前記第 4 MOS トランジスタを ON にして、前記第 1 MOS トランジスタを閾値以下のサブスレッショルド領域で動作させ、前記画素のリセットを行うときに、前記第 4 MOS トランジスタを OFF にするとともに前記第 3 MOS トランジスタを ON にして、前記第 1 MOS トランジスタに定電流を流して、前記第 1 MOS トランジスタのゲート電極を前記第 1 MOS トランジスタに対応した所定の電圧値にリセットすることを特徴とする。

【0018】

請求項 1 0 ～請求項 1 2 のいずれかに記載の固体撮像装置において、請求項 1 3 に記載するように、前記画素に、第 1 電極が前記第 2 MOS トランジスタの第 2 電極に接続され、第 2 電極が出力信号線に接続され、ゲート電極が行選択線に接続された第 6 MOS トランジスタを設けても良い。又、請求項 1 4 に記載の固体撮像装置のように、前記画素に、第 1 電極が直流電圧に接続され、ゲート電極が前記第 2 MOS トランジスタの第 2 電極に接続されるとともに、前記第 2 MOS トランジスタの第 2 電極から出力される出力信号を増幅する第 5 MOS トランジスタを設けても良い。

【 0 0 1 9 】

請求項 1 5 に記載の固体撮像装置は、請求項 1 4 に記載の固体撮像装置において、前記画素が、第 1 電極が前記第 5 MOS トランジスタの第 2 電極に接続され、第 2 電極が出力信号線に接続され、ゲート電極が行選択線に接続された第 6 MOS トランジスタを有することを特徴とする。

【 0 0 2 0 】

請求項 1 6 に記載の固体撮像装置は、請求項 1 4 又は請求項 1 5 に記載の固体撮像装置において、前記画素が、前記第 2 MOS トランジスタの第 2 電極に一端が接続されるとともに、前記第 2 MOS トランジスタの第 1 電極にリセット電圧が与えられたときに前記第 2 MOS トランジスタを介してリセットされるキャパシタを有することを特徴とする。

【 0 0 2 1 】

請求項 1 7 に記載の固体撮像装置は、請求項 1 4 又は請求項 1 5 に記載の固体撮像装置において、前記第 2 MOS トランジスタの第 1 電極が直流電圧に接続されるとともに、前記画素が、前記第 2 MOS トランジスタの第 2 電極に第 1 電極が接続され第 2 電極に直流電圧が接続された第 7 MOS トランジスタと、前記第 2 MOS トランジスタの第 2 電極に一端が接続されるとともに、前記第 7 MOS トランジスタのゲート電極にリセット電圧が与えられたときに前記第 7 MOS トランジスタを介してリセットされるキャパシタと、を有することを特徴とする。

【 0 0 2 2 】

請求項 1 8 に記載の固体撮像装置は、請求項 1 0 ～請求項 1 7 のいずれかに記載の固体撮像装置において、第 1 方向に 1 列に配された前記画素の第 1 MOS トランジスタの第 2 電極に共通に接続される第 1 直流電圧線と、第 2 方向に 1 列に配された前記画素の第 1 MOS トランジスタの第 2 電極に共通に接続される第 2 直流電圧線とを有し、前記各画素が撮像動作を行うときは、前記第 1 MOS トランジスタの第 2 電極を前記第 1 直流電圧線に接続し、前記各画素がリセット動作を行うときは、前記第 1 MOS トランジスタの第 2 電極を前記第 2 直流電圧線に接続することを特徴とする。

【 0 0 2 3 】

請求項 1 9 に記載の固体撮像装置は、請求項 1 0 ～請求項 1 8 のいずれかに記載の固体撮像装置において、前記画素に対し前記出力信号線を介して接続された負荷抵抗又は定電流源を成す MOS トランジスタを備えていることを特徴とする。

【 0 0 2 4 】

【発明の実施の形態】

＜画素構成の第 1 例＞

以下、本発明の固体撮像装置の各実施形態を図面を参照して説明する。図 1 は本発明の一実施形態である二次元の MOS 型固体撮像装置の一部の構成を概略的に示している。同図において、 $G_{11} \sim G_{mn}$ は行列配置（マトリクス配置）された画素を示している。2 は垂直走査回路であり、行（ライン）4-1、4-2、 \dots 、4-n を順次走査していく。3 は水平走査回路であり、画素から出力信号線 6-1、6-2、 \dots 、6-m に導出された光電変換信号を画素ごとに水平方向に順次読み出す。5 は電源ラインである。又、定電流源 9-1、9-2、 \dots 、9-m が列毎にそれぞれ、電流供給線 8-1、8-2、 \dots 、8-m を介して、画素 $G_{11} \sim G_{1n}$ 、 $G_{21} \sim G_{2n}$ 、 \dots 、 $G_{m1} \sim G_{mn}$ に電流を供給する。信号 ϕ VPS が供給されるライン 7-1、7-2、 \dots 、7-n が行毎にそれぞれ、画素 $G_{11} \sim G_{m1}$ 、 $G_{12} \sim G_{m2}$ 、 \dots 、 $G_{1n} \sim G_{mn}$ に接続される。各画素に対し、上記ライン 4-1、4-2、 \dots 、4-n 及びライン 7-1、7-2、 \dots 、7-n や出力信号線 6-1、6-2、 \dots 、6-m、電流供給線 8-1、8-2、 \dots 、8-m、電源ライン 5 だけでなく、他のライン（例えば、クロックラインやバイアス供給ライン等）も接続されるが、図 1 ではこれらについて省略する。

【 0 0 2 5 】

出力信号線 6-1、6-2、 \dots 、6-m ごとに N チャネルの MOS トランジスタ Q2 が図示の如く 1 つずつ設けられている。出力信号線 6-1 を例にとって説明すると、MOS トランジスタ Q2 のドレインは出力信号線 6-1 に接続され、ソースは最終的な信号線 10 に接続され、ゲートは水平走査回路 3 に接続さ

れている。尚、後述するように各画素内にはスイッチ用のNチャネルの第4 MOSトランジスタT4も設けられている。ここで、MOSトランジスタT4は行の選択を行うものであり、MOSトランジスタQ2は列の選択を行うものである。

【0026】

<第1の実施形態>

図1に示した画素構成の第1例の各画素に適用される第1の実施形態（図2）について、図面を参照して説明する。

【0027】

図2において、pnフォトダイオードPDが感光部（光電変換部）を形成している。そのフォトダイオードPDのアノードは第1 MOSトランジスタT1のドレイン及びゲート、第2 MOSトランジスタT2のゲート、そして、第3 MOSトランジスタT3のソースに接続されている。MOSトランジスタT2のソースは行選択用の第4 MOSトランジスタT4のドレインに接続されている。MOSトランジスタT4のソースは出力信号線6（この出力信号線6は図1の6-1、6-2、・・・、6-mに対応する）へ接続されている。尚、MOSトランジスタT1～T4は、それぞれ、NチャネルのMOSトランジスタでバックゲートが接地されている。

【0028】

又、フォトダイオードPDのカソードには直流電圧VPDが印加されるようになっている。一方、MOSトランジスタT1のソースにはライン7（このライン7は図1の7-1、7-2、・・・、7-nに対応する）より信号φVPSが入力され、MOSトランジスタT2のソースには他端に直流電圧VPSが印加されたキャパシタCの一端が接続される。MOSトランジスタT3のドレインに定電流源9（この定電流源9は図1の9-1、9-2、・・・、9-mに対応する）が電流供給線8（この電流供給線8は図1の8-1、8-2、・・・、8-mに対応する）を介して接続され、そのゲートに信号φSが入力される。

【0029】

又、MOSトランジスタT2のドレインには信号φDが入力される。更に、MOSトランジスタT4のゲートには信号φVが入力される。尚、本実施形態にお

いて、信号 ϕ VPSは、MOSトランジスタT1をサブスレッショルド領域で動作させるためのその値が直流電圧VPSに近い電圧（この電圧を「第1電圧」とする）と、MOSトランジスタT1に定電流源9から電流を流すための電圧（この電圧を「第2電圧」とする）との間で、2値的に変化する。

【0030】

（1）各画素への入射光を電気信号に変換する動作について

まず、信号 ϕ SをローレベルとしてMOSトランジスタT3をOFFにして定電流源9からMOSトランジスタT1に電流が流れないようにするとともに、MOSトランジスタT1がサブスレッショルド領域で動作するように、信号 ϕ VPSを第1電圧にする。このとき、フォトダイオードPDに光が入射すると光電流が発生し、MOSトランジスタのサブスレッショルド特性により、前記光電流を自然対数的に変換した値の電圧がMOSトランジスタT1、T2のゲートに発生する。この電圧により、MOSトランジスタT2に電流が流れ、キャパシタCには前記光電流の積分値を自然対数的に変換した値と同等の電荷が蓄積される。つまり、キャパシタCとMOSトランジスタT2のソースとの接続ノードaに、前記光電流の積分値を自然対数的に変換した値に比例した電圧が生じることになる。ただし、このとき、MOSトランジスタT4はOFFの状態であるとする。

【0031】

次に、MOSトランジスタT4のゲートにパルス信号 ϕ Vを与えて、MOSトランジスタT4をONにすると、キャパシタCに蓄積された電荷が、出力電流として出力信号線6に導出される。この出力信号線6に導出される電流は前記光電流の積分値を自然対数的に変換した値となる。このようにして入射光量の対数値に比例した信号（出力電流）を読み出すことができる。又、信号読み出し後、MOSトランジスタT4をOFFする。

【0032】

（2）各画素のリセット動作について

以下に、図面を参照して、図2のような回路構成の画素のリセット動作について説明する。図3は、リセット動作を行うときの画素内の各素子に接続された各信号線に与える信号のタイミングチャートである。

【 0 0 3 3 】

(1) で説明したように、パルス信号 ϕV が MOS トランジスタ T 4 のゲートに与えられて出力信号が出力されると、まず、信号 ϕS をハイレベルにして MOS トランジスタ T 3 を ON にするとともに、信号 ϕVPS を第 2 電圧にする。このようにして、定電流源 9 から MOS トランジスタ T 1 に電流が流れるようにする。尚、この定電流源 9 から流れる電流は、フォトダイオード PD より与えられる光電流に比べて、十分大きい電流となるため、MOS トランジスタ T 1 に流れるドレイン電流が定電流源 9 から供給される電流に略等しいものとすることができる。又、このとき、信号 ϕD の電圧はハイレベル（直流電圧 V_{PD} と同じ又は直流電圧 V_{PD} に近い電位）である。そして、一旦信号 ϕD をローレベルにして、キャパシタ C に蓄積された電荷を MOS トランジスタ T 2 を通して信号 ϕD の信号線路に放出して、キャパシタ C 及び接続ノード a の電位を初期化した後、再び、信号 ϕD をハイレベルに戻す。

【 0 0 3 4 】

このように信号 ϕS をハイレベルにするとともに信号 ϕVPS を第 2 電圧にしている間、定電流源 9 より一定電流が MOS トランジスタ T 3 を介して MOS トランジスタ T 1 に流れる。よって、MOS トランジスタ T 1 のソース・ゲート間電圧が MOS トランジスタ T 1 のドレイン電流によって決定し、初期化される。このように、MOS トランジスタ T 1 のゲート電圧が初期値にリセットされると、MOS トランジスタ T 4 のゲートにパルス信号 ϕV を与えて、そのリセットされたときの信号（出力電流）を出力信号線 6 に出力する。

【 0 0 3 5 】

このようにして、リセット時の信号を読み出すと、信号 ϕS をローレベルにして、MOS トランジスタ T 3 を OFF にするとともに信号 ϕVPS を第 1 電圧にする。その後、信号 ϕD をローレベルにして、キャパシタ C に蓄積された電荷を MOS トランジスタ T 2 を通して信号 ϕD の信号線路に放出して、キャパシタ C 及び接続ノード a の電位が初期化される。そして、 ϕD を元のハイレベルに戻して、次の撮像が行える状態とする。

【 0 0 3 6 】

更にいえば、上記のように、画素毎に、各MOSトランジスタを動作させることによって、MOSトランジスタT1のゲート電圧をリセットしたときの信号を出力信号線6に出力すると、このリセット時の信号がシリアルに出力され、後続回路においてメモリに画素毎の補正データとして記憶しておく。そして、実際の撮像時の信号を前記記憶されている補正データで画素毎に補正すれば、出力信号から画素毎のバラツキを取り除くことができる。尚、この補正方法の具体例は後述する図32に示している。この補正方法はラインメモリなどのメモリを素子内に設けることによって実現できる。

【 0 0 3 7 】

尚、本実施形態において、各画素からの信号読み出しは電荷結合素子（CCD）を用いて行うようにしてもかまわない。この場合、図2のMOSトランジスタT4に相当するポテンシャルレベルを可変としたポテンシャルの障壁を設けることにより、CCDへの電荷読み出しを行えばよい。尚、本実施形態では、後段での信号読み出しに支障がないように、リセット期間と対数出力動作期間とで、第1MOSトランジスタT1のソースに与える信号（ ϕ VPS）の電位を変化させているが、後段の設計を最適化して、リセット期間と対数出力動作期間とで、接続ノードaの電位が所定の電圧範囲内に入るようにしておけば、信号 ϕ VPSの値は固定値であっても良い。この点は、後述する第2～第5の実施形態についても同様である。

【 0 0 3 8 】

<画素構成の第2例>

図4は本発明の他の実施形態である二次元のMOS型固体撮像装置の一部の構成を概略的に示している。同図において、G11～Gmnは行列配置（マトリクス配置）された画素を示している。2は垂直走査回路であり、行（ライン）4-1、4-2、・・・、4-nを順次走査していく。3は水平走査回路であり、画素から出力信号線6-1、6-2、・・・、6-mに導出された光電変換信号を画素ごとに水平方向に順次読み出す。5は電源ラインである。又、定電流源9-1、9-2、・・・、9-mが列毎にそれぞれ、電流供給線8-1、8-2、・・・

・、 $8-m$ を介して、画素 $G_{11} \sim G_{1n}$ 、 $G_{21} \sim G_{2n}$ 、 \dots 、 $G_{m1} \sim G_{mn}$ に電流を供給する。信号 ϕ VPSが供給されるライン $7-1$ 、 $7-2$ 、 \dots 、 $7-n$ が行毎にそれぞれ、画素 $G_{11} \sim G_{m1}$ 、 $G_{12} \sim G_{m2}$ 、 \dots 、 $G_{1n} \sim G_{mn}$ に接続される。各画素に対し、上記ライン $4-1$ 、 $4-2 \dots$ 、 $4-n$ 及びライン $7-1$ 、 $7-2$ 、 \dots 、 $7-n$ や出力信号線 $6-1$ 、 $6-2 \dots$ 、 $6-m$ 、電流供給線 $8-1$ 、 $8-2$ 、 \dots 、 $8-m$ 、電源ライン5だけでなく、他のライン（例えば、クロックラインやバイアス供給ライン等）も接続されるが、図4ではこれらについて省略する。

【0039】

出力信号線 $6-1$ 、 $6-2$ 、 \dots 、 $6-m$ ごとにNチャネルのMOSトランジスタ Q_1 、 Q_2 が図示の如く1組ずつ設けられている。出力信号線 $6-1$ を例にとって説明すると、MOSトランジスタ Q_1 のゲートは直流電圧線11に接続され、ドレインは出力信号線 $6-1$ に接続され、ソースは直流電圧VPS'のライン12に接続されている。一方、MOSトランジスタ Q_2 のドレインは出力信号線 $6-1$ に接続され、ソースは最終的な信号線10に接続され、ゲートは水平走査回路3に接続されている。

【0040】

画素 $G_{11} \sim G_{mn}$ には、後述するように、それらの画素で発生した光電荷に基づく信号を出力するNチャネルのMOSトランジスタ T_a が設けられている。MOSトランジスタ T_a と上記MOSトランジスタ Q_1 との接続関係は図5(a)のようになる。このMOSトランジスタ T_a は、第2、第3の実施形態では、第5MOSトランジスタ T_5 に、第4、第5の実施形態では、第2MOSトランジスタ T_2 に相当する。ここで、MOSトランジスタ Q_1 のソースに接続される直流電圧VPS'と、MOSトランジスタ T_a のドレインに接続される直流電圧VPD'との関係は $VPD' > VPS'$ であり、直流電圧VPS'は例えばグランド電圧（接地）である。この回路構成は上段のMOSトランジスタ T_a のゲートに信号が入力され、下段のMOSトランジスタ Q_1 のゲートには直流電圧DCが常時印加される。このため下段のMOSトランジスタ Q_1 は抵抗又は定電流源と等価であり、図5(a)の回路はソースフォロワ型の増幅回路となっている。この場合、M

O S トランジスタ T a から増幅出力されるのは電流であると考えてよい。

【 0 0 4 1 】

M O S トランジスタ Q 2 は水平走査回路 3 によって制御され、スイッチ素子として動作する。尚、後述するように図 6 以降の各実施形態の画素内にはスイッチ用の N チャネルの第 4 M O S トランジスタ T 4 も設けられている。この M O S トランジスタ T 4 も含めて表わすと、図 5 (a) の回路は正確には図 5 (b) のようになる。即ち、M O S トランジスタ T 4 が M O S トランジスタ Q 1 と M O S トランジスタ T a との間に挿入されている。ここで、M O S トランジスタ T 4 は行の選択を行うものであり、M O S トランジスタ Q 2 は列の選択を行うものである。尚、図 4 および図 5 に示す構成は以下に説明する第 2 の実施形態～第 5 の実施形態に共通の構成である。

【 0 0 4 2 】

図 5 のように構成することにより信号のゲインを大きく出力することができる。従って、画素がダイナミックレンジ拡大のために感光素子から発生する光電流を自然対数的に変換しているような場合は、そのままでは出力信号が小さいが、本増幅回路により充分大きな信号に増幅されるため、後続の信号処理回路（図示せず）での処理が容易になる。また、増幅回路の負荷抵抗部分を構成する M O S トランジスタ Q 1 を画素内に設けずに、列方向に配置された複数の画素が接続される出力信号線 6 - 1、6 - 2、・・・、6 - m ごとに設けることにより、負荷抵抗又は定電流源の数を低減でき、半導体チップ上で増幅回路が占める面積を少なくできる。

【 0 0 4 3 】

< 第 2 の実施形態 >

図 4 に示した画素構成の第 2 例の各画素に適用される第 2 の実施形態について、図面を参照して説明する。図 6 は、本実施形態に使用する固体撮像装置に設けられた画素の構成を示す回路図である。尚、図 2 に示す画素と同様の目的で使用する素子及び信号線などは、同一の符号を付して、その詳細な説明は省略する。

【 0 0 4 4 】

図 6 に示すように、本実施形態では、図 2 に示す画素に、接続ノード a にゲートが接続され接続ノード a の電圧に応じた電流増幅を行う第 5 MOS トランジスタ T 5 と、接続ノード a にドレインが接続されキャパシタ C 及び接続ノード a の電位の初期化を行う第 6 MOS トランジスタ T 6 とが付加された構成となる。MOS トランジスタ T 5 のソースには行選択用の第 4 MOS トランジスタ T 4 のドレインが接続されている。MOS トランジスタ T 4 のソースは出力信号線 6 (この出力信号線 6 は図 4 の 6 - 1、6 - 2、 \dots 、6 - m に対応する) へ接続されている。尚、MOS トランジスタ T 5、T 6 も、MOS トランジスタ T 1 ~ T 4 と同様に、N チャネルの MOS トランジスタでバックゲートが接地されている。

【 0 0 4 5 】

又、MOS トランジスタ T 5 のドレインには直流電圧 VPD が印加され、MOS トランジスタ T 4 のゲートには信号 ϕV が入力される。又、MOS トランジスタ T 6 のソースには直流電圧 VRB が印加されるとともに、そのゲートには信号 ϕVRS が入力される。更に、MOS トランジスタ T 2 のドレインには直流電圧 VPD が印加される。尚、本実施形態において、MOS トランジスタ T 1 ~ T 4 及びキャパシタ C は、第 1 の実施形態 (図 2) と同様の動作を行い、各画素のリセット動作及び撮像動作を行うことができる。以下にその動作を説明する。

【 0 0 4 6 】

(1) 各画素への入射光を電気信号に変換する動作について

まず、信号 ϕS をローレベルとして MOS トランジスタ T 3 を OFF にするとともに信号 ϕVPS を第 1 電圧とし、MOS トランジスタ T 1、T 2 がサブスレッショルド領域で動作するようにバイアスされているときの動作について、説明する。このとき、MOS トランジスタ T 3 が OFF であるので、第 1 の実施形態と同様、定電流源 9 より MOS トランジスタ T 1 に電流が流れることがない。

【 0 0 4 7 】

フォトダイオード PD に光が入射すると光電流が発生し、MOS トランジスタのサブスレッショルド特性により、前記光電流を自然対数的に変換した値の電圧

がMOSトランジスタT1, T2のゲートに発生する。この電圧により、MOSトランジスタT2に電流が流れ、キャパシタCには前記光電流の積分値を自然対数的に変換した値と同等の電荷が蓄積される。つまり、キャパシタCとMOSトランジスタT2のソースとの接続ノードaに、前記光電流の積分値を自然対数的に変換した値に比例した電圧が生じることになる。ただし、このとき、MOSトランジスタT4, T6はOFF状態である。

【0048】

次に、MOSトランジスタT4のゲートにパルス信号を与えて、MOSトランジスタT4をONにすると、MOSトランジスタT5のゲートにかかる電圧に比例した電流がMOSトランジスタT4, T5を通して出力信号線6に導出される。今、MOSトランジスタT5のゲートにかかる電圧は、接続ノードaにかかる電圧であるので、出力信号線6に導出される電流は前記光電流の積分値を自然対数的に変換した値となる。このようにして入射光量の対数値に比例した信号（出力電流）を読み出すことができる。

【0049】

(2) 各画素のリセット動作について

以下に、図面を参照して、図6のような回路構成の画素のリセット動作について説明する。図7は、リセット動作を行うときの画素内の各素子に接続された各信号線に与える信号のタイミングチャートである。

【0050】

(1) で説明したように、パルス信号 ϕV がMOSトランジスタT4のゲートに与えられて出力信号が出力されると、まず、信号 ϕS をハイレベルにしてMOSトランジスタT3をONにするとともに、信号 ϕVPS を第2電圧にする。このようにして、定電流源9からMOSトランジスタT1に電流が流れるようにする。このとき、定電流源9より一定電流がMOSトランジスタT3を介してMOSトランジスタT1に流れる。よって、MOSトランジスタT1のソース・ゲート間電圧がMOSトランジスタT1のドレイン電流によって決定するため、MOSトランジスタT1のゲート電圧が初期値にリセットされる。

【 0 0 5 1 】

このように、MOSトランジスタT1のゲート電圧が初期値にリセットされる間に、一旦、MOSトランジスタT6のゲートにパルス信号 ϕ VRSを与えてMOSトランジスタT6をONすることによって、キャパシタCに蓄積された電荷をMOSトランジスタT6を通して放出して、キャパシタC及び接続ノードaをリセットする。しかる後、パルス信号 ϕ VをMOSトランジスタT4のゲートに与えて、MOSトランジスタT1がリセットされたときの信号を出力信号線6に出力する。そして、信号 ϕ SをローレベルにしてMOSトランジスタT3をOFFにするとともに信号 ϕ VPSを第1電圧にする。その後、パルス信号 ϕ VRSを与えることによって、キャパシタC及び接続ノードaの電位が初期化される。そして、 ϕ VRSを元のローレベルに戻して、次の撮像が行える状態とする。

【 0 0 5 2 】

更に、上記のようにMOSトランジスタT1をリセットしたときに出力信号線6に出力された信号を、第1の実施形態と同様、画素毎に、補正データとして記憶しておく。そして、実際の撮像時の信号を前記記憶されている補正データで画素毎に補正すれば、出力信号から画素毎のバラツキを取り除くことができる。この補正方法の具体例は後述する図32に示している。この補正方法はラインメモリなどのメモリを素子内に設けることによっても実現できる。

【 0 0 5 3 】

＜第3の実施形態＞

第3の実施形態について、図面を参照して説明する。図8は、本実施形態に使用する固体撮像装置に設けられた画素の構成を示す回路図である。尚、図6に示す画素と同様の目的で使用する素子及び信号線などは、同一の符号を付して、その詳細な説明は省略する。

【 0 0 5 4 】

図8に示すように、本実施形態では、MOSトランジスタT2のドレインに信号 ϕ Dを与えることによってキャパシタC及び接続ノードaの電位を初期化するようにし、それによってMOSトランジスタT6を削除した構成となっている。その他の構成は第2の実施形態（図6）と同一である。尚、信号 ϕ Dのハイレベ

ル期間では、第1の実施形態（図2）と同様にキャパシタCで積分が行なわれ、ローレベル期間では、キャパシタCの電荷がMOSトランジスタT2を通して放電され、キャパシタCの電圧及びMOSトランジスタT5のゲートは略信号 ϕD のローレベル電圧になる（リセット）。本実施形態では、MOSトランジスタT6を省略できる分、構成がシンプルになる。

【0055】

この実施形態において、撮像動作をさせるときは、第2の実施形態と同様に、MOSトランジスタT3をOFFにして定電流源9からMOSトランジスタT1に電流が流れないようにするとともに、信号 ϕVPS を第1電圧にしてMOSトランジスタT1がサブスレッショルド状態で動作するようにする。又、信号 ϕD をハイレベルにして、光電流の積分値を自然対数的に変換した値と同等の電荷をキャパシタCに蓄積する。そして、所定のタイミングでMOSトランジスタT4をONにして、MOSトランジスタT5のゲートにかかる電圧に比例した電流をMOSトランジスタT4、T5を通して出力信号線6に導出する。

【0056】

又、各画素をリセットするときは、第1の実施形態と同様、図3のタイミングで信号を制御する。即ち、まず、パルス信号 ϕV が与えられた後、信号 ϕS をハイレベルにするとともに信号 ϕVPS を第2電圧にして、リセット動作が始まる。このようにMOSトランジスタT3をONにすることによって、定電流源9からMOSトランジスタT1に定電流が流れるようにしてMOSトランジスタT1のゲート電圧を一定の初期値にリセットする。

【0057】

この間に、信号 ϕD をローレベルにしてキャパシタCに蓄積された電荷をMOSトランジスタT2を通して信号 ϕD の信号線路に放出して、キャパシタC及び接続ノードaの電位を初期化した後、信号 ϕD をハイレベルに戻す。しかる後、パルス信号 ϕV をMOSトランジスタT4のゲートに与えて、MOSトランジスタT1がリセットされたときの信号を出力信号線6に出力する。そして、信号 ϕS をローレベルにするとともに信号 ϕVPS を第1電圧にした後、信号 ϕD をローレベルにして、キャパシタCに蓄積された電荷をMOSトランジスタT2を通し

て信号 ϕ Dの信号線路に放出して、キャパシタC及び接続ノードaの電位が初期化される。そして、 ϕ Dを元のハイレベルに戻して、次の撮像が行える状態とする。

【0058】

更に、上記のようにMOSトランジスタT1をリセットしたときに出力信号線6に出力された信号を、第1の実施形態と同様、画素毎に、補正データとして記憶しておく。そして、実際の撮像時の信号を前記記憶されている補正データで画素毎に補正すれば、出力信号から画素毎のバラツキを取り除くことができる。この補正方法の具体例は後述する図32に示している。この補正方法はラインメモリなどのメモリを素子内に設けることによっても実現できる。

【0059】

<第4の実施形態>

第4の実施形態について、図面を参照して説明する。図9は、本実施形態に使用する固体撮像装置に設けられた画素の構成を示す回路図である。尚、図8に示す画素と同様の目的で使用される素子及び信号線などは、同一の符号を付して、その詳細な説明は省略する。

【0060】

図9に示すように、本実施形態では、MOSトランジスタT2のドレインに直流電圧V_{PD}が印加されるとともに、キャパシタC及びMOSトランジスタT5を削除した構成となっている。即ち、MOSトランジスタT2のソースにMOSトランジスタT4のドレインが接続される。その他の構成は第3の実施形態（図8）と同一である。

【0061】

この実施形態において、撮像動作をさせるときは、第3の実施形態と同様に、MOSトランジスタT3をOFFにして定電流源9からMOSトランジスタT1に電流が流れないようにするとともに、信号 ϕ VPSを第1電圧にしてMOSトランジスタT1がサブスレッショルド状態で動作するようにする。このようにMOSトランジスタT1を動作させることによって、前記光電流に対して自然対数的に比例した値のドレイン電流がMOSトランジスタT2を流れる。

【 0 0 6 2 】

そして、MOSトランジスタT4のゲートにパルス信号 ϕV を与えてONとすると、前記光電流に対して自然対数的に比例した値のドレイン電流が、MOSトランジスタT4を通して出力信号線6に導出される。このとき、MOSトランジスタT2及びMOSトランジスタQ1（図5）の導通時抵抗とそれらを流れる電流によって決まるMOSトランジスタQ1のドレイン電圧が、信号として出力信号線6に現れる。このようにして信号が読み出された後、MOSトランジスタT4をOFFにする。

【 0 0 6 3 】

又、各画素をリセットする際には、図10のタイミングチャートのように動作させる。まず、パルス信号 ϕV が与えられた後、信号 ϕS をハイレベルにするとともに信号 ϕVPS を第2電圧にして、リセット動作が始まる。このようにMOSトランジスタT3をONにすることによって、定電流源9からMOSトランジスタT1に定電流が流れるようにしてMOSトランジスタ直流電圧T1のゲート電圧を一定の初期値にリセットする。しかる後、パルス信号 ϕV をMOSトランジスタT4のゲートに与えて、MOSトランジスタT1がリセットされたときの信号を出力信号線6に出力する。そして、信号 ϕS をローレベルにして、MOSトランジスタT3をOFFにするとともに信号 ϕVPS を第1電圧にして、次の撮像が行える状態とする。

【 0 0 6 4 】

更に、上記のようにMOSトランジスタT1をリセットしたときに出力信号線6に出力された信号を、第1の実施形態と同様、画素毎に、補正データとして記憶しておく。そして、実際の撮像時の信号を前記記憶されている補正データで画素毎に補正すれば、出力信号から画素毎のバラツキを取り除くことができる。この補正方法の具体例は後述する図32に示している。この補正方法はラインメモリなどのメモリを素子内に設けることによっても実現できる。

【 0 0 6 5 】

尚、本実施形態では上記第3の実施形態のように、光信号をキャパシタCで一旦積分するというを行わないので、積分時間が不要となり、又、キャパシタ

Cのリセットも不要であるので、その分信号処理の高速化が図れる。又、本実施形態では、第3の実施形態に比し、キャパシタC及びMOSトランジスタT5を省略できる分、構成が更にシンプルになり画素サイズを小さくすることができる。

【0066】

＜第5の実施形態＞

第5の実施形態について、図面を参照して説明する。図11は、本実施形態に使用する固体撮像装置に設けられた画素の構成を示す回路図である。尚、図9に示す画素と同様の目的で使用される素子及び信号線などは、同一の符号を付して、その詳細な説明は省略する。

【0067】

図11に示すように、本実施形態では、第4の実施形態（図9）に示す画素に、フォトダイオードPDのアノードとMOSトランジスタT1のドレインとの間に接続された第7MOSトランジスタT7を付加した構成となる。即ち、MOSトランジスタT7は、そのドレインがフォトダイオードPDのアノードに接続され、そのソースがMOSトランジスタT1のドレイン及びゲートとMOSトランジスタT3のソースとの接続ノードに接続される。また、MOSトランジスタT7のゲートには信号 ϕ SWが与えられる。以下に、このような構成の画素の動作について説明する。

【0068】

（1）各画素への入射光を電気信号に変換する動作について

まず、第4の実施形態と同様に、信号 ϕ Sをローレベルとするとともに信号 ϕ VPSを第1電圧とする。このとき、信号 ϕ SWをハイレベルとしてMOSトランジスタT7をONにして、フォトダイオードPDより光電流がMOSトランジスタT1に与えられるようにする。又、MOSトランジスタT3がOFFであるので、第4の実施形態と同様、定電流源9よりMOSトランジスタT1に電流が流れることがない。このようにして、MOSトランジスタT1がサブスレッショルド状態で動作するようにし、前記光電流に対して自然対数的に比例した値のドレイン電流がMOSトランジスタT2を流れる。

【0069】

そして、MOSトランジスタT4のゲートにパルス信号 ϕV を与えてONとすると、前記光電流に対して自然対数的に比例した値のドレイン電流が、MOSトランジスタT4を通して出力信号線6に導出される。このとき、MOSトランジスタT2及びMOSトランジスタQ1（図5）の導通時抵抗とそれらを流れる電流によって決まるMOSトランジスタQ1のドレイン電圧が、信号として出力信号線6に現れる。このようにして信号が読み出された後、MOSトランジスタT4をOFFにする。

【0070】

(2) 各画素のリセット動作について

以下に、図面を参照して、図11のような回路構成の画素のリセット動作について説明する。図12は、リセット動作を行うときの画素内の各素子に接続された各信号線に与える信号のタイミングチャートである。

【0071】

(1) で説明したように、パルス信号 ϕV がMOSトランジスタT4のゲートに与えられて出力信号が出力されると、信号 ϕS をハイレベルにしてMOSトランジスタT3をONにするとともに信号 ϕSW をローレベルにしてMOSトランジスタT7をOFFにする。このとき、第4の実施形態と同様、信号 ϕVPS を第2電圧にする。このようにして、定電流源9からMOSトランジスタT1に電流が流れるようにするとともに、フォトダイオードPDからMOSトランジスタT1に光電流が流れないようにする。このとき、定電流源9より一定電流がMOSトランジスタT3を介してMOSトランジスタT1に流れる。よって、MOSトランジスタT1のソース・ゲート間電圧がMOSトランジスタT1のドレイン電流によって決定するため、MOSトランジスタT1のゲート電圧が初期値にリセットされる。

【0072】

このように、MOSトランジスタT1のゲート電圧が初期値にリセットされると、パルス信号 ϕV をMOSトランジスタT4のゲートに与えて、MOSトランジスタT1がリセットされたときの信号を出力信号線6に出力する。そして、信

号 ϕ SをローレベルにしてMOSトランジスタT3をOFFにする。又、このとき、信号 ϕ VPSを第1電圧にする。更に、信号 ϕ SWをハイレベルにしてMOSトランジスタT7をONにして、次の撮像が行える状態とする。

【0073】

このように、リセット動作を行う際、フォトダイオードPDより光電流が第1 MOSトランジスタT1に流れることがないので、MOSトランジスタT1に流れるドレイン電流が定電流源9から流れる定電流となる。又、MOSトランジスタT7を設けこれをOFFしておくことによって、リセット時にMOSトランジスタT1を流れるドレイン電流が、フォトダイオードPDからの光電流の影響を受けることがない。従って、第4の実施形態よりも定電流源9より与える定電流の電流値を小さくすることができる。

【0074】

更に、上記のようにMOSトランジスタT1をリセットしたときに出力信号線6に出力された信号を、第1の実施形態と同様、画素毎に、補正データとして記憶しておく。そして、実際の撮像時の信号を前記記憶されている補正データで画素毎に補正すれば、出力信号から画素毎のバラツキを取り除くことができる。この補正方法の具体例は後述する図32に示している。この補正方法はラインメモリなどのメモリを素子内に設けることによっても実現できる。

【0075】

尚、本実施形態において、第2の実施形態（図6）のように、MOSトランジスタT2のソースに他端に直流電圧VPSが印加されたキャパシタCやMOSトランジスタT5のゲート、そして、キャパシタCをリセットするためのMOSトランジスタT6のドレインを接続するとともに、MOSトランジスタT5のソースをMOSトランジスタT4のドレインに接続するような構成にしても良い。又、第3の実施形態（図8）のように、MOSトランジスタT2のドレインに信号 ϕ Dを与えるようにして、上述した第2の実施形態（図6）のような構成からMOSトランジスタT6を削除した構成にしても良い。

【0076】

又、本実施形態において、第7 MOSトランジスタT7をディプレッション型

のNチャネルのMOSトランジスタとしても構わない。この画素の構成を、図13に示す。図13に示すように、MOSトランジスタT7以外のMOSトランジスタT1～T4は、エンハンスメント型のNチャネルのMOSトランジスタである。

【0077】

図11の構成の画素のように、画素内に設けられたMOSトランジスタを全てエンハンスメント型のMOSトランジスタで構成したとき、MOSトランジスタT7、T1が直列に接続されるため、MOSトランジスタT7のゲートに与える信号 ϕ SWのハイレベルの電圧が、この画素に供給する電圧よりも高くなる。そのため、MOSトランジスタT7に信号 ϕ SWを与えるための別の電源を設ける必要がある。

【0078】

それに対して、上述したように、このMOSトランジスタT7をディプレッション型のMOSトランジスタとすることによって、そのゲートに与える信号 ϕ SWのハイレベルの電圧を低くすることができ、他のMOSトランジスタに与えるハイレベルの信号と同じ又はこれに近い電圧にすることが可能になる。これは、ディプレッション型のMOSトランジスタの閾値が負の値となるため、エンハンスメント型のMOSトランジスタと比べて、低いゲート電圧でONすることができるからである。

【0079】

又、本実施形態において、第7MOSトランジスタT7をPチャネルのMOSトランジスタとしても構わない。この画素の構成を、図14に示す。図14に示すように、MOSトランジスタT7以外のMOSトランジスタT1～T4は、NチャネルのMOSトランジスタである。又、MOSトランジスタT7のソースがフォトダイオードPDのアノードと接続されるとともに、ドレインがMOSトランジスタT1のドレインに接続される。

【0080】

このような構成にしたとき、MOSトランジスタT7は、ゲート・ドレイン間の電圧差が閾値より大きければONとなり、又、ゲート・ドレイン間の電圧差が

閾値より小さければOFFとなる。よって、MOSトランジスタT7のゲートに与える信号 ϕ SWが、図12の信号 ϕ SWとそのタイミングが逆転するとともに、MOSトランジスタT7のドレインに直列に接続されたMOSトランジスタT1の影響を受けることなく、ON/OFF動作を行うことができる。

【0081】

又、MOSトランジスタT7のON/OFF動作が、MOSトランジスタT1の影響を受けることがないので、信号 ϕ SWを供給するための別の電源を設ける必要がなくなる。更に、このようにすることによって、MOSトランジスタT7を、他のMOSトランジスタと同様にエンハンスメント型のMOSトランジスタとすることができるので、他のMOSトランジスタと同一の工程でMOSトランジスタT7を生成することが可能である。よって、上述したように、第7MOSトランジスタT7のみをディプレッション型のMOSトランジスタとするときと比べて、その生産工程が簡素化される。

【0082】

又、図15に示すように、第7MOSトランジスタT7を直流電圧線VPDとフォトダイオードPDのカソードとの間に接続するような構成にしても構わない。即ち、MOSトランジスタT7のドレインに直流電圧VPDが印加されるとともに、そのソースにフォトダイオードPDのカソードが接続される。更に、このような構成の画素において、上述したように、第7MOSトランジスタT7をディプレッション型のMOSトランジスタ、または、PチャネルのMOSトランジスタとしても良い。

【0083】

＜画素構成の第3例＞

図16は本発明の他の実施形態である二次元のMOS型固体撮像装置の一部の構成を概略的に示している。同図において、G11～Gmnは行列配置（マトリクス配置）された画素を示している。2は垂直走査回路であり、行（ライン）4-1、4-2、・・・、4-nを順次走査していく。3は水平走査回路であり、画素から出力信号線6-1、6-2、・・・、6-mに導出された光電変換信号を画素ごとに水平方向に順次読み出す。5は電源ラインである。又、定電流源9-

1、9-2、・・・、9-mが列毎にそれぞれ、電流供給線8-1、8-2、・・・、8-mを介して、画素G11~G1n、G21~G2n、・・・、Gm1~Gmnに電流を供給する。直流電圧VPSHが供給されるライン7-1、7-2、・・・、7-nが行毎にそれぞれ、画素G11~Gm1、G12~Gm2、・・・、G1n~Gmnに接続される。更に、直流電圧VPSLが供給されるライン13-1、13-2、・・・、13-mが列毎にそれぞれ、画素G11~G1n、G21~G2n、・・・、Gm1~Gmnに接続される。各画素に対し、上記ライン4-1、4-2・・・、4-n、ライン7-1、7-2、・・・、7-n及びライン13-1、13-2、・・・、13-mや出力信号線6-1、6-2・・・、6-m、電流供給線8-1、8-2、・・・、8-m、電源ライン5だけでなく、他のライン（例えば、クロックラインやバイアス供給ライン等）も接続されるが、図16ではこれらについて省略する。

【0084】

出力信号線6-1、6-2、・・・、6-mごとにNチャネルのMOSトランジスタQ1、Q2が図示の如く1組ずつ設けられている。出力信号線6-1を例にとって説明すると、MOSトランジスタQ1のゲートは直流電圧線11に接続され、ドレインは出力信号線6-1に接続され、ソースは直流電圧VPS'のライン12に接続されている。一方、MOSトランジスタQ2のドレインは出力信号線6-1に接続され、ソースは最終的な信号線10に接続され、ゲートは水平走査回路3に接続されている。このMOSトランジスタQ1、Q2は、画素構成の第2例におけるMOSトランジスタQ1、Q2と同様の目的で使用される。

【0085】

<第6の実施形態>

図16に示した画素構成の第3例の各画素に適用される第6の実施形態について、図面を参照して説明する。図17は、本実施形態に使用する固体撮像装置に設けられた画素の構成を示す回路図である。尚、図11に示す画素と同様の目的で使用される素子及び信号線などは、同一の符号を付して、その詳細な説明は省略する。

【 0 0 8 6 】

図 1 7 に示すように、本実施形態では、第 5 の実施形態（図 1 1）に示す画素に、MOS トランジスタ T 1 のソースにドレインが接続された第 8 MOS トランジスタ T 8 と第 9 MOS トランジスタ T 9 とを付加した構成となる。MOS トランジスタ T 8 は、そのソースに直流電圧 VPSH が印加されるとともにそのゲートに信号 ϕ SW 1 が与えられ、又、MOS トランジスタ T 9 は、そのソースに直流電圧 VPSL が印加されるとともにそのゲートに信号 ϕ SW 2 が与えられる。以下に、このような構成の画素の動作について説明する。尚、直流電圧 VPSH が MOS トランジスタ T 1 をサブスレッショルド領域で動作させるための電圧であるとともに、直流電圧 VPSL が定電流源 9 から MOS トランジスタ T 1 に電流を流すために MOS トランジスタ T 1 を動作させるための電圧である。

【 0 0 8 7 】

（1）各画素への入射光を電気信号に変換する動作について

まず、第 5 の実施形態と同様に、信号 ϕ S をローレベルとするとともに信号 ϕ SW をハイレベルとする。このとき、信号 ϕ SW 1 をハイレベルとして MOS トランジスタ T 8 を ON にすることによって、MOS トランジスタ T 1 のソースに直流電圧 VPSH を印加する。このようにして MOS トランジスタ T 1 がサブスレッショルド状態で動作するようにし、前記光電流に対して自然対数的に比例した値のドレイン電流が MOS トランジスタ T 2 を流れる。尚、このとき、信号 SW 2 はローレベルとし、MOS トランジスタ T 9 を OFF の状態にする。

【 0 0 8 8 】

そして、MOS トランジスタ T 4 のゲートにパルス信号 ϕ V を与えて ON とすると、前記光電流に対して自然対数的に比例した値のドレイン電流が、MOS トランジスタ T 4 を通して出力信号線 6 に導出される。このとき、MOS トランジスタ T 2 及び MOS トランジスタ Q 1（図 1 6）の導通時抵抗とそれらを流れる電流によって決まる MOS トランジスタ Q 1 のドレイン電圧が、信号として出力信号線 6 に現れる。このようにして信号が読み出された後、MOS トランジスタ T 4 を OFF にする。

【 0 0 8 9 】

(2) 各画素のリセット動作について

以下に、図面を参照して、図 1 7 のような回路構成の画素のリセット動作について説明する。図 1 8 は、リセット動作を行うときの画素内の各素子に接続された各信号線に与える信号のタイミングチャートである。

【 0 0 9 0 】

(1) で説明したように、パルス信号 ϕV が MOS トランジスタ T 4 のゲートに与えられて出力信号が出力されると、まず、信号 $\phi SW 1$ をローレベルにして MOS トランジスタ T 8 を OFF するとともに、信号 $\phi SW 2$ をハイレベルにして MOS トランジスタ T 9 を ON して、MOS トランジスタ T 1 のソースに直流電圧 VPSL を与える。そして、信号 ϕS をハイレベルにして MOS トランジスタ T 3 を ON にするとともに信号 ϕSW をローレベルにして MOS トランジスタ T 7 を OFF にする。

【 0 0 9 1 】

このようにして、定電流源 9 から MOS トランジスタ T 1 に電流が流れるようにするとともに、フォトダイオード PD から MOS トランジスタ T 1 に光電流が流れないようにする。このとき、定電流源 9 より一定電流が MOS トランジスタ T 3 を介して MOS トランジスタ T 1 に流れる。よって、MOS トランジスタ T 1 のソース・ゲート間電圧が MOS トランジスタ T 1 のドレイン電流によって決定するため、MOS トランジスタ T 1 のゲート電圧が初期値にリセットされる。

【 0 0 9 2 】

このように、MOS トランジスタ T 1 のゲート電圧が初期値にリセットされると、パルス信号 ϕV を MOS トランジスタ T 4 のゲートに与えて、MOS トランジスタ T 1 がリセットされたときの信号を出力信号線 6 に出力する。そして、まず、信号 ϕS をローレベルにして MOS トランジスタ T 3 を OFF にする。次に、信号 $\phi SW 1$ をハイレベルにして MOS トランジスタ T 8 を ON するとともに、信号 $\phi SW 2$ をローレベルにして MOS トランジスタ T 9 を OFF して、MOS トランジスタ T 1 のソースに直流電圧 VPSH を与える。そして、信号 ϕSW をハイレベルにして MOS トランジスタ T 7 を ON にして、次の撮像が行える状態

とする。

【0093】

更に、上記のようにMOSトランジスタT1をリセットしたときに出力信号線6に出力された信号を、第1の実施形態と同様、画素毎に、補正データとして記憶しておく。そして、実際の撮像時の信号を前記記憶されている補正データで画素毎に補正すれば、出力信号から画素毎のバラツキを取り除くことができる。この補正方法の具体例は後述する図32に示している。この補正方法はラインメモリなどのメモリを素子内に設けることによっても実現できる。

【0094】

尚、本実施形態において、第2の実施形態（図6）のように、MOSトランジスタT2のソースに他端に直流電圧VPSが印加されたキャパシタCやMOSトランジスタT5のゲート、そして、キャパシタCをリセットするためのMOSトランジスタT6のドレインを接続するとともに、MOSトランジスタT5のソースをMOSトランジスタT4のドレインに接続するような構成にしても良い。又、第3の実施形態（図8）のように、MOSトランジスタT2のドレインに信号φDを与えるようにして、上述した第2の実施形態（図6）のような構成からMOSトランジスタT6を削除した構成にしても良い。

【0095】

又、MOSトランジスタT7を削除したような構造にしても良いし、第5の実施形態で説明したように、MOSトランジスタT7を直流電圧線VPDとフォトダイオードPDとの間に設けても構わない。更に、このMOSトランジスタT7のみディプレッション型MOSトランジスタとする構成にしても良いし、又、MOSトランジスタT7のみPチャネルのMOSトランジスタとする構成にしても構わない。

【0096】

尚、例えば、ライン4-1に接続された画素G11~Gm1をリセットしたとき、図1又は図4のような固体撮像装置の場合、定電流源9-1~9-mより流れる電流がすべてライン7-1に流れるため、画素G11~Gm1の各画素内の第1MOSトランジスタT1のソースに与えられる信号φVPSの第2電圧がライン7-1

の電圧降下によって一定でなくなりやすい。よって、図 17 のような回路構成の画素 $G_{11} \sim G_{mn}$ が配される図 16 のような固体撮像装置によると、同じく画素 $G_{11} \sim G_{m1}$ をリセットしたとき、定電流源 9-1、9-2、 \dots 、9-m より流れる電流が、それぞれ、ライン 13-1、13-2、 \dots 、13-m を流れるため、画素 $G_{11} \sim G_{m1}$ の各画素内の第 1 MOS トランジスタ T_1 のソースに与えられる電圧が定電流源 9-1 \sim 9-m を流れる電流による影響がなくなり、直流電圧 V_{PSL} で一定となる。よって、本実施形態のような回路構成の画素によると、第 1 \sim 第 5 の実施形態と比べて、各画素内の第 1 MOS トランジスタ T_1 の初期化されたゲート電圧の格差を小さくすることができる。

【0097】

以上説明した第 1 \sim 第 6 の実施形態は、画素内の能動素子である MOS トランジスタ $T_1 \sim T_9$ を図 14 の形態を除いて全て N チャネルの MOS トランジスタで構成しているが、これらの MOS トランジスタ $T_1 \sim T_9$ を全て P チャネルの MOS トランジスタで構成してもよい。図 20、図 23 \sim 図 26、図 29、及び図 31 には、上記第 1 \sim 第 6 の実施形態を P チャネルの MOS トランジスタで構成した例である第 7 \sim 第 12 の実施形態を示している。又、図 27 は、第 11 の実施形態において、第 7 MOS トランジスタ T_7 をディプレッション型の P チャネルの MOS トランジスタとしたものである。更に、図 28 は、第 11 の実施形態において、第 7 MOS トランジスタ T_7 を N チャネルの MOS トランジスタとしたものである。そのため図 19 \sim 図 31 では接続の極性や印加電圧の極性が逆になっている。例えば、図 20（第 7 の実施形態）において、フォトダイオード PD はアノードに直流電圧 V_{PD} に接続され、カソードが第 1 MOS トランジスタ T_1 のドレイン及び第 2 MOS トランジスタ T_2 のゲートに接続されている。MOS トランジスタ T_1 のソースには信号 ϕV_{PS} が与えられる。

【0098】

ところで、図 20 のような画素が対数変換を行うとき、直流電圧 V_{PS} と直流電圧 V_{PD} は、 $V_{PS} > V_{PD}$ となっており、図 2（第 1 の実施形態）と逆である。また、キャパシタ C の出力電圧は初期値が高い電圧で、積分によって降下する。また、第 3 MOS トランジスタ T_3 や第 4 MOS トランジスタ T_4 を ON させると

きには、低い電圧をゲートに印加する。更に、図 23 以降の実施形態（第 8～第 12 の実施形態）において、第 6 MOS トランジスタ T6、第 7 MOS トランジスタ T7、第 8 MOS トランジスタ T8、第 9 MOS トランジスタ T9 を ON させるときには、低い電圧をゲートに印加する。又、図 28 に示す構成の画素において、N チャネルの MOS トランジスタとなる第 7 MOS トランジスタ T7 を ON させるときには、高い電圧をゲートに印加する。以上の通り、逆極性の MOS トランジスタを用いる場合は、電圧関係や接続関係が一部異なるが、構成は実質的に同一であり、また基本的な動作も同一であるので、図 20、図 23～図 29、及び図 31 については図面で示すのみで、その構成や動作についての説明は省略する。

【0099】

第 7 の実施形態の画素を含む固体撮像装置の全体構成を説明するためのブロック回路構成図を図 19 に、第 8～第 11 の実施形態の画素を含む固体撮像装置の全体構成を説明するためのブロック回路構成図を図 21 に、第 12 の実施形態の画素を含む固体撮像装置の全体構成を説明するためのブロック回路構成図を図 30 に示す。図 19、図 21、及び図 30 については、図 1、図 4、及び図 16 と同一部分（同一の役割部分）に同一の符号を付して説明を省略する。以下、図 21 の構成について簡単に説明する。列方向に配列された出力信号線 6-1、6-2、・・・、6-m に対して P チャネルの MOS トランジスタ Q1 と P チャネルの MOS トランジスタ Q2 が接続されている。MOS トランジスタ Q1 のゲートは直流電圧線 11 に接続され、ドレインは出力信号線 6-1 に接続され、ソースは直流電圧 VPS' のライン 12 に接続されている。

【0100】

一方、MOS トランジスタ Q2 のドレインは出力信号線 6-1 に接続され、ソースは最終的な信号線 10 に接続され、ゲートは水平走査回路 3 に接続されている。ここで、MOS トランジスタ Q1 は画素内の P チャネルの MOS トランジスタ Ta と共に図 22 (a) に示すような増幅回路を構成している。尚、MOS トランジスタ Ta は、第 8、第 9 の実施形態では第 5 MOS トランジスタ T5 に相当し、又、第 10、第 11 の実施形態では第 2 MOS トランジスタ T2 に相当す

る。

【0101】

この場合、MOSトランジスタQ1はMOSトランジスタTaの負荷抵抗又は定電流源となっている。従って、このMOSトランジスタQ1のソースに接続される直流電圧VPS' と、MOSトランジスタTaのドレインに接続される直流電圧VPD' との関係は、 $VPD' < VPS'$ であり、直流電圧VPD' は例えばグランド電圧（接地）である。MOSトランジスタQ1のドレインはMOSトランジスタTaに接続され、ゲートには直流電圧が印加されている。PチャネルのMOSトランジスタQ2は水平走査回路3によって制御され、増幅回路の出力を最終的な信号線10へ導出する。第8～第11の実施形態のように、画素内に設けられた第4MOSトランジスタT4を考慮すると、図22（a）の回路は図22（b）のように表わされる。

【0102】

<画像データの補正方法>

上述した第1～12の実施形態のような回路構成の画素が設けられた固体撮像装置がデジタルカメラなどの画像入力装置に使用されたときの実施例を、図面を参照して説明する。

【0103】

図32に示す画像入力装置は、対物レンズ51と、該対物レンズ51を通して入射される光の光量に応じて電気信号を出力する固体撮像装置52と、撮像時の固体撮像装置52の電気信号（以下、「画像データ」と呼ぶ。）が入力されて一時記憶されるメモリ53と、リセット時の固体撮像装置52の電気信号（以下、「補正データ」と呼ぶ。）が入力されて一時記憶されるためのメモリ54と、メモリ53から送出される画像データからメモリ54から記憶される補正データを補正演算する補正演算回路55と、補正演算回路55で補正データにより補正の施された画像データを演算処理して外部に出力する処理部56とを有する。尚、固体撮像装置52は、第1～12の実施形態（図2、図6、図8、図9、図11、図13～図15、図17、図20、図23～図29、図31）のような回路構成の画素が設けられた固体撮像装置である。

【0104】

このような構成の画像入力装置は、まず、撮像動作を行って、固体撮像装置 5 2 から各画素毎に画像データがメモリ 5 3 に出力される。そして、各画素が撮像動作を終えて、リセット動作を行ったときに、上記で説明したように、各画素の感度のバラツキを調べて、補正データをメモリ 5 4 に出力する。そして、メモリ 5 3 内の各画素の画像データとメモリ 5 4 内の各画素の補正データを、補正演算回路 5 5 にこの画像データを各画素毎に送出する。

【0105】

補正演算回路 5 5 では、メモリ 5 3 から送出された画像データからこの画像データを出力した同一画素のメモリ 5 4 から送出された補正データが各画素毎に補正演算される。この補正データが補正演算された画像データが処理部 5 6 に送出されて、演算処理された後、外部に出力される。又、このような画像入力装置において、メモリ 5 3, 5 4 は、それぞれ、固体撮像装置 5 2 からライン毎に送出されるデータが記録されるラインメモリなどが用いられる。従って、メモリ 5 3, 5 4 を固体撮像装置内に組み込むことも容易である。

【0106】

【発明の効果】

以上説明したように、本発明の固体撮像装置によれば、被写体の撮像時に各画素毎の出力を補正するための補正データを獲得するために、従来のように一様光を照射する必要がなくなる。更に、能動素子を MOS トランジスタで構成することにより高集積化が容易となり、周辺の処理回路（A/D コンバータ、デジタル・システム・プロセッサ、メモリ）等とともにワンチップ上に形成することができる。

【図面の簡単な説明】

【図 1】 本発明の一実施形態である二次元固体撮像装置の全体の構成を説明するためのブロック回路図。

【図 2】 本発明の第 1 の実施形態の 1 画素の構成を示す回路図。

【図 3】 第 1 の実施形態で使用する画素の各素子に与える信号のタイミングチャート。

【図 4】本発明の一実施形態である二次元固体撮像装置の全体の構成を説明するためのブロック回路図。

【図 5】図 4 の一部の回路図。

【図 6】本発明の第 2 の実施形態の 1 画素の構成を示す回路図。

【図 7】第 2 の実施形態で使用する画素の各素子に与える信号のタイミングチャート。

【図 8】本発明の第 3 の実施形態の 1 画素の構成を示す回路図。

【図 9】本発明の第 4 の実施形態の 1 画素の構成を示す回路図。

【図 1 0】第 4 の実施形態で使用する画素の各素子に与える信号のタイミングチャート。

【図 1 1】本発明の第 5 の実施形態の 1 画素の構成を示す回路図。

【図 1 2】第 5 の実施形態で使用する画素の各素子に与える信号のタイミングチャート。

【図 1 3】本発明の第 5 の実施形態の 1 画素の構成を示す回路図。

【図 1 4】本発明の第 5 の実施形態の 1 画素の構成を示す回路図。

【図 1 5】本発明の第 5 の実施形態の 1 画素の構成を示す回路図。

【図 1 6】本発明の一実施形態である二次元固体撮像装置の全体の構成を説明するためのブロック回路図。

【図 1 7】本発明の第 6 の実施形態の 1 画素の構成を示す回路図。

【図 1 8】第 6 の実施形態で使用する画素の各素子に与える信号のタイミングチャート。

【図 1 9】画素内の能動素子を P チャネルの MOS トランジスタで構成した実施形態の場合の本発明の二次元固体撮像装置の全体の構成を説明するためのブロック回路図。

【図 2 0】本発明の第 7 の実施形態の 1 画素の構成を示す回路図。

【図 2 1】画素内の能動素子を P チャネルの MOS トランジスタで構成した実施形態の場合の本発明の二次元固体撮像装置の全体の構成を説明するためのブロック回路図。

【図 2 2】図 2 1 の一部の回路図。

【図 2 3】本発明の第 8 の実施形態の 1 画素の構成を示す回路図。

【図 2 4】本発明の第 9 の実施形態の 1 画素の構成を示す回路図。

【図 2 5】本発明の第 1 0 の実施形態の 1 画素の構成を示す回路図。

【図 2 6】本発明の第 1 1 の実施形態の 1 画素の構成を示す回路図。

【図 2 7】本発明の第 1 1 の実施形態の 1 画素の構成を示す回路図。

【図 2 8】本発明の第 1 1 の実施形態の 1 画素の構成を示す回路図。

【図 2 9】本発明の第 1 1 の実施形態の 1 画素の構成を示す回路図。

【図 3 0】画素内の能動素子を P チャネルの MOS トランジスタで構成した実施形態の場合の本発明の二次元固体撮像装置の全体の構成を説明するためのブロック回路図。

【図 3 1】本発明の第 1 2 の実施形態の 1 画素の構成を示す回路図。

【図 3 2】画像入力装置の構成を示すブロック図。

【図 3 3】従来例の 1 画素の構成を示す回路図。

【符号の説明】

G11~Gmn	画素
2	垂直走査回路
3	水平走査回路
4-1~4-n	行選択線
6-1~6-m	出力信号線
7-1~7-n	ライン
8-1~8-m	電流供給線
9-1~9-m	定電流源
10	信号線
11	直流電圧線
12	ライン
13-1~13-m	ライン
51	対物レンズ
52	固体撮像装置

5 3, 5 4 メモリ

5 5 補正演算回路

5 6 処理部

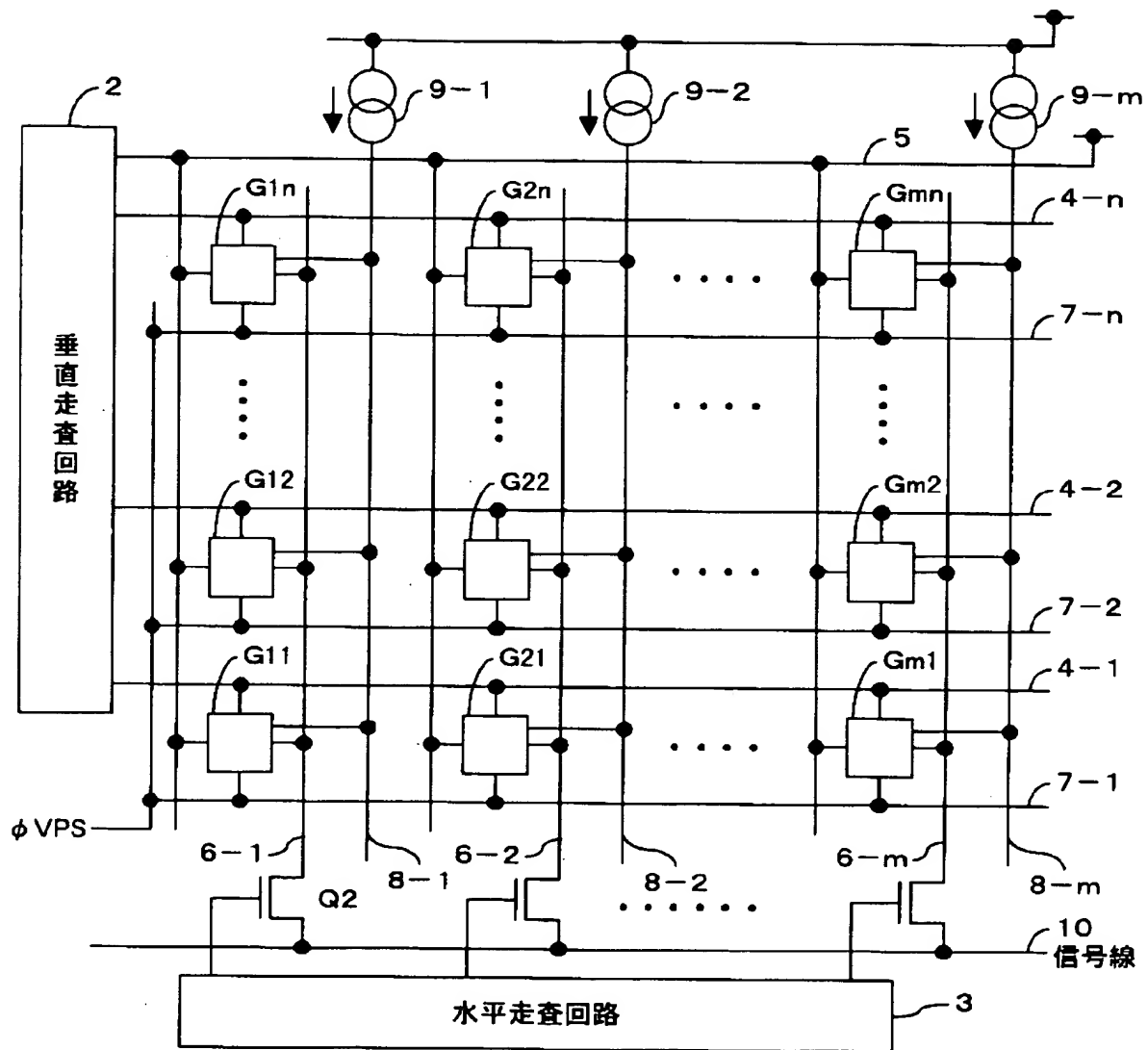
P D フォトダイオード

T 1 ~ T 9 第 1 ~ 第 9 M O S トランジスタ

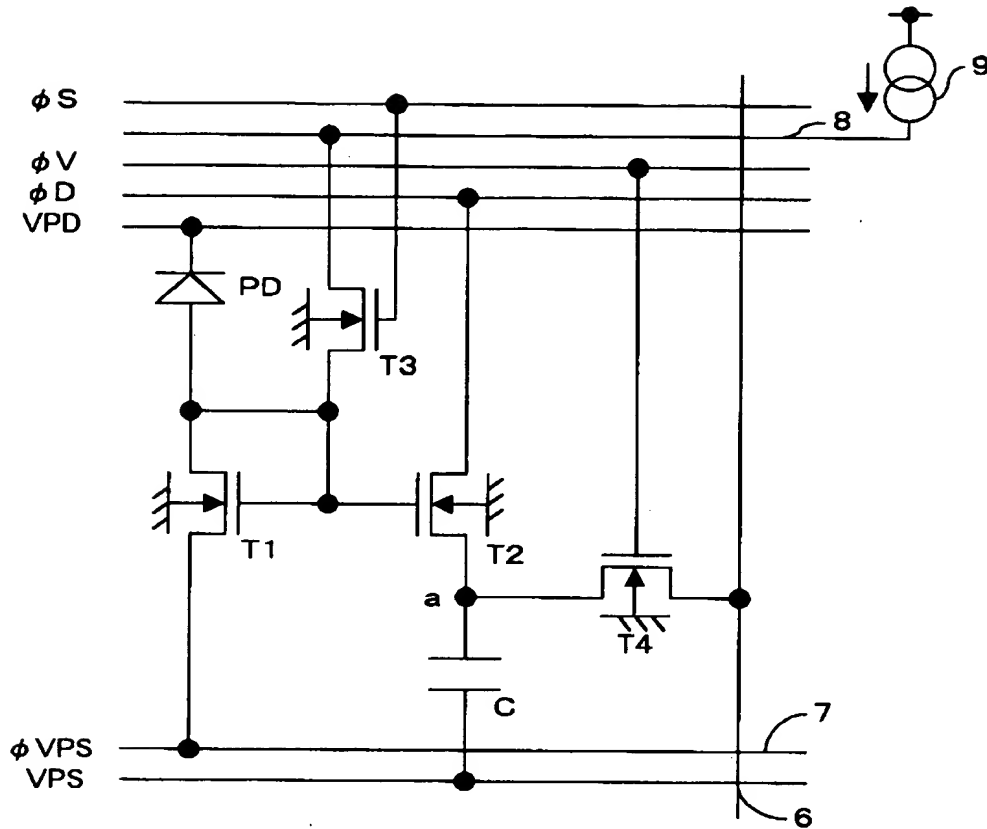
C キャパシタ

【書類名】 図面

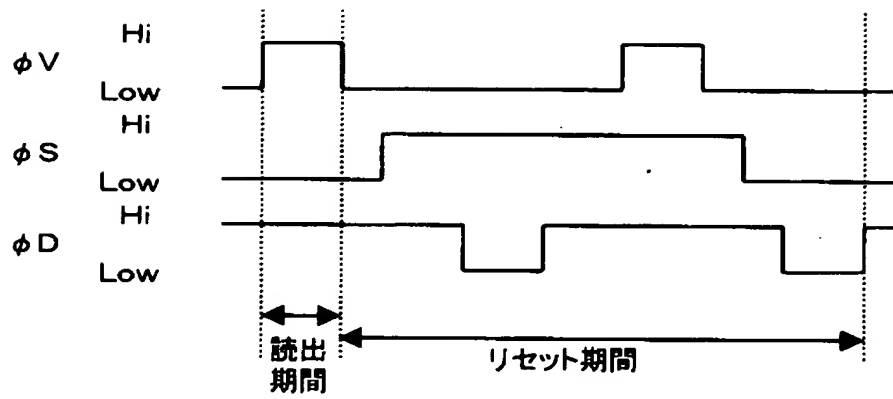
【図 1】



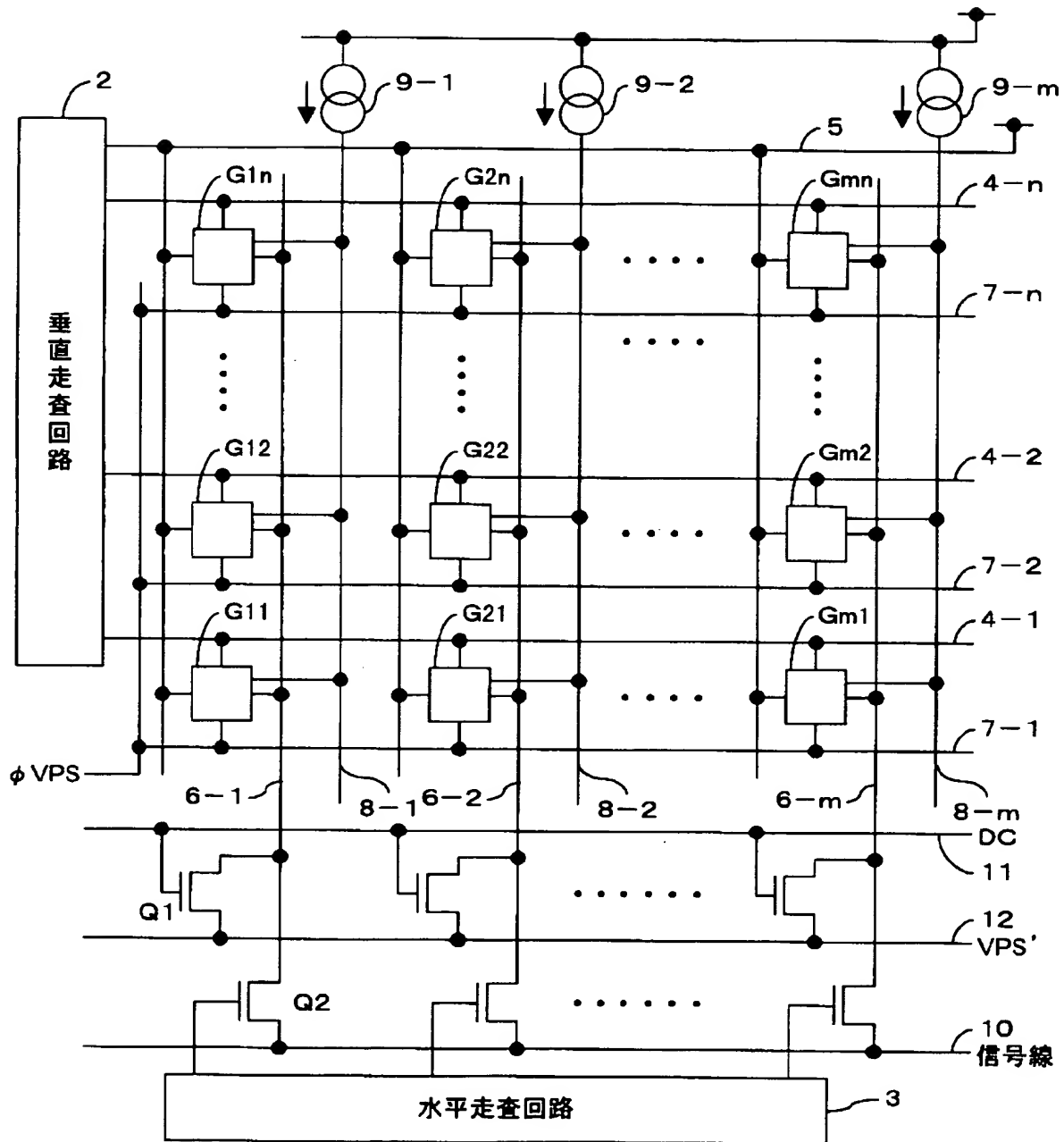
【図 2】



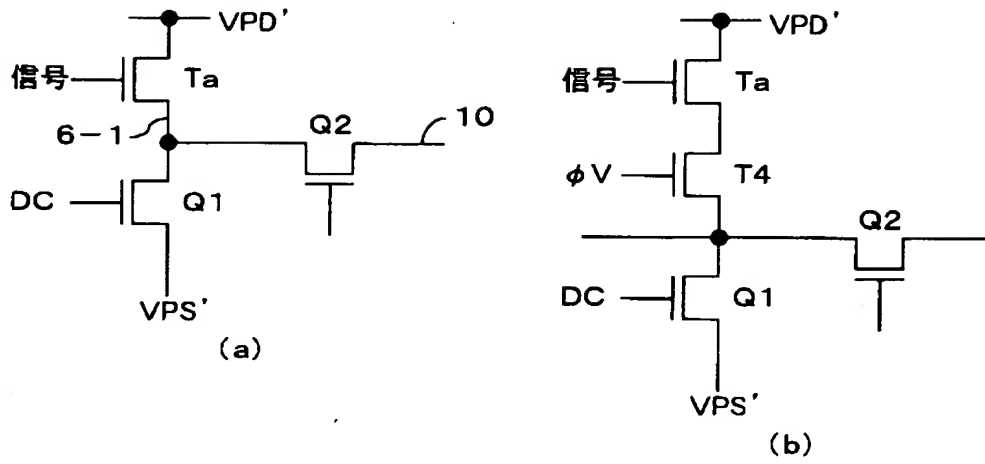
【図 3】



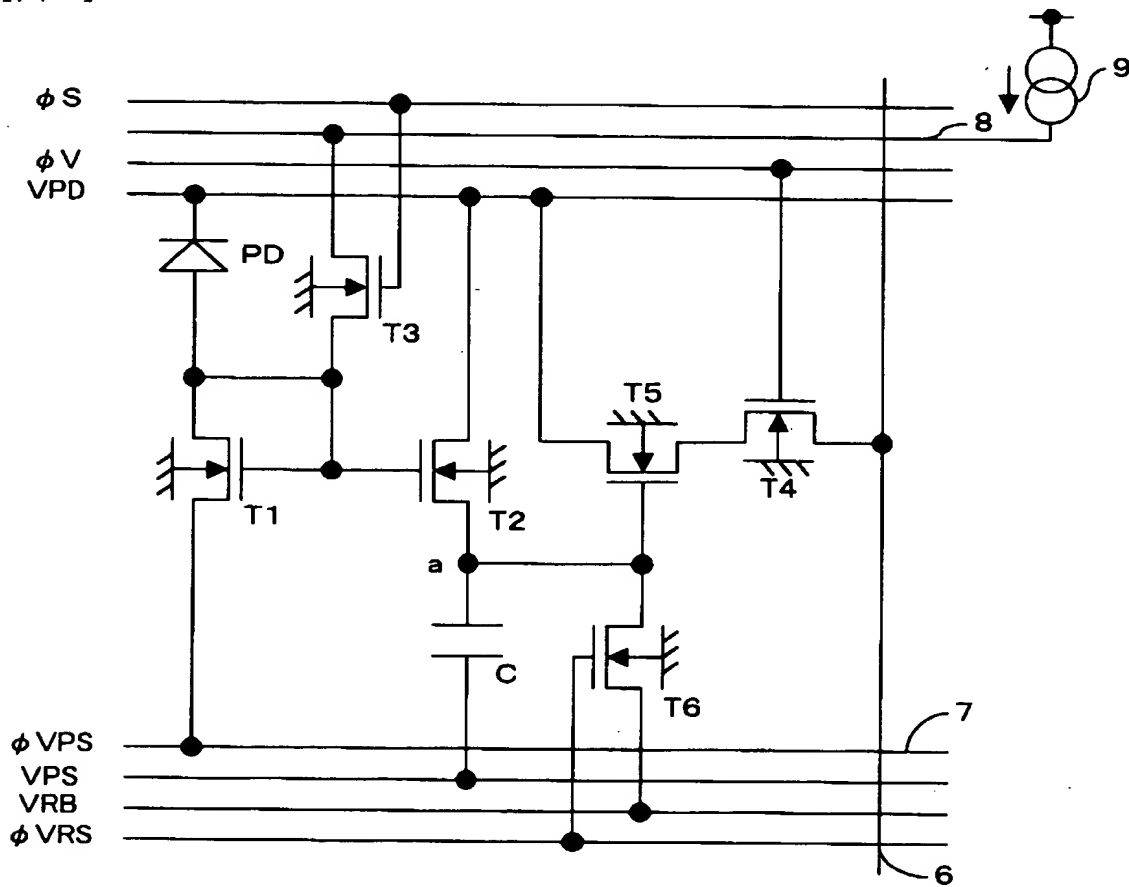
【図 4】



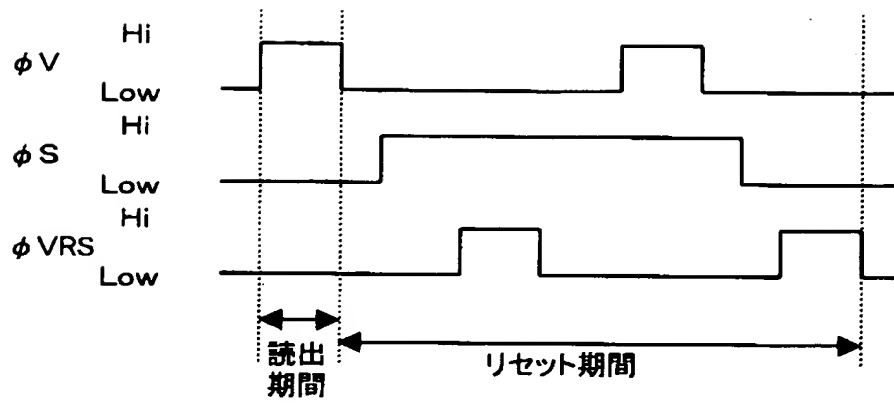
【図 5】



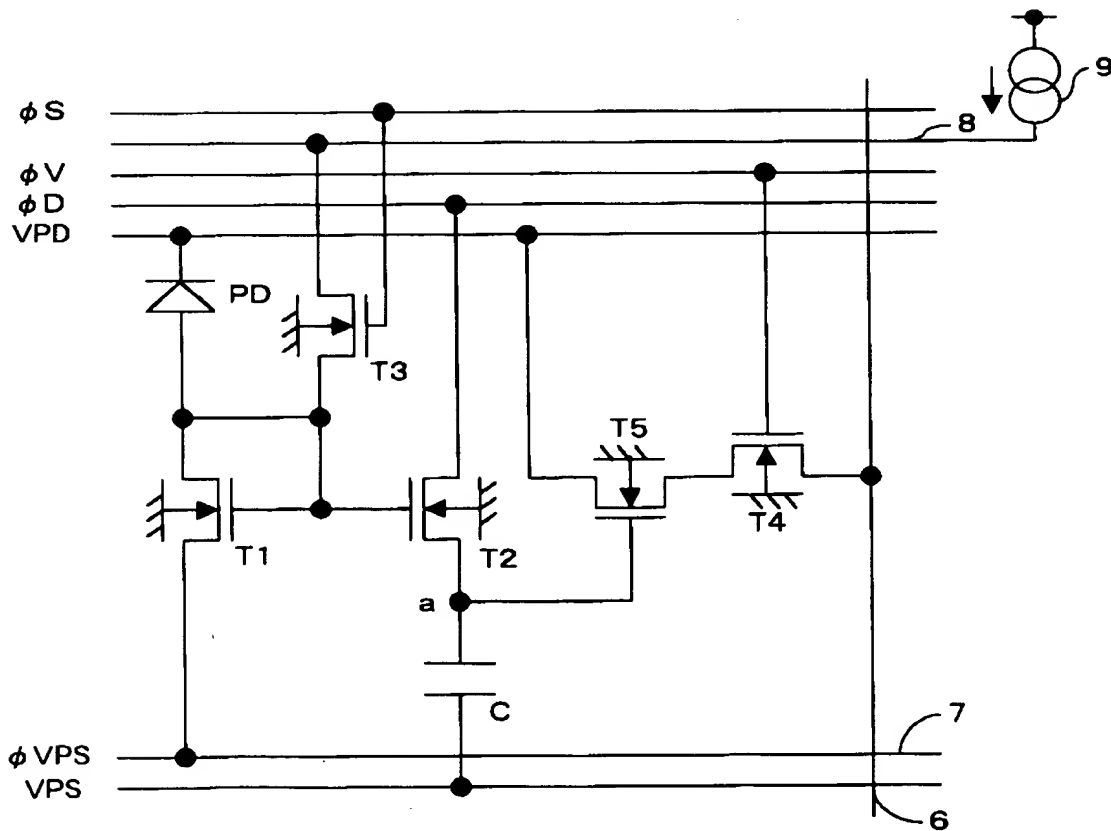
【図 6】



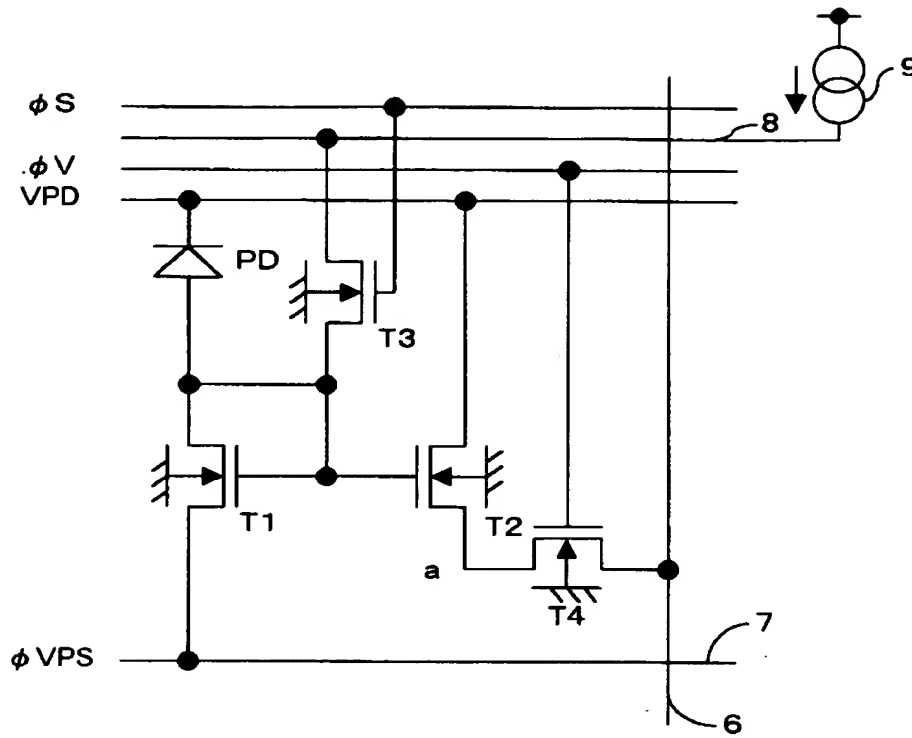
【図 7】



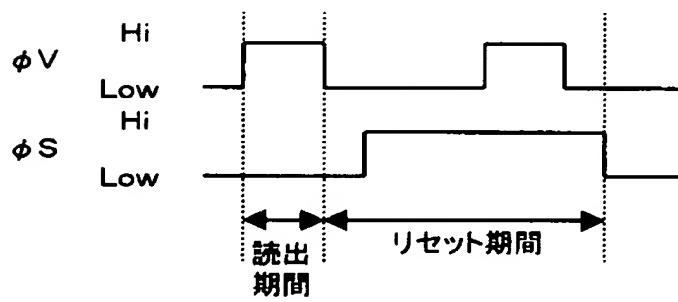
【図 8】



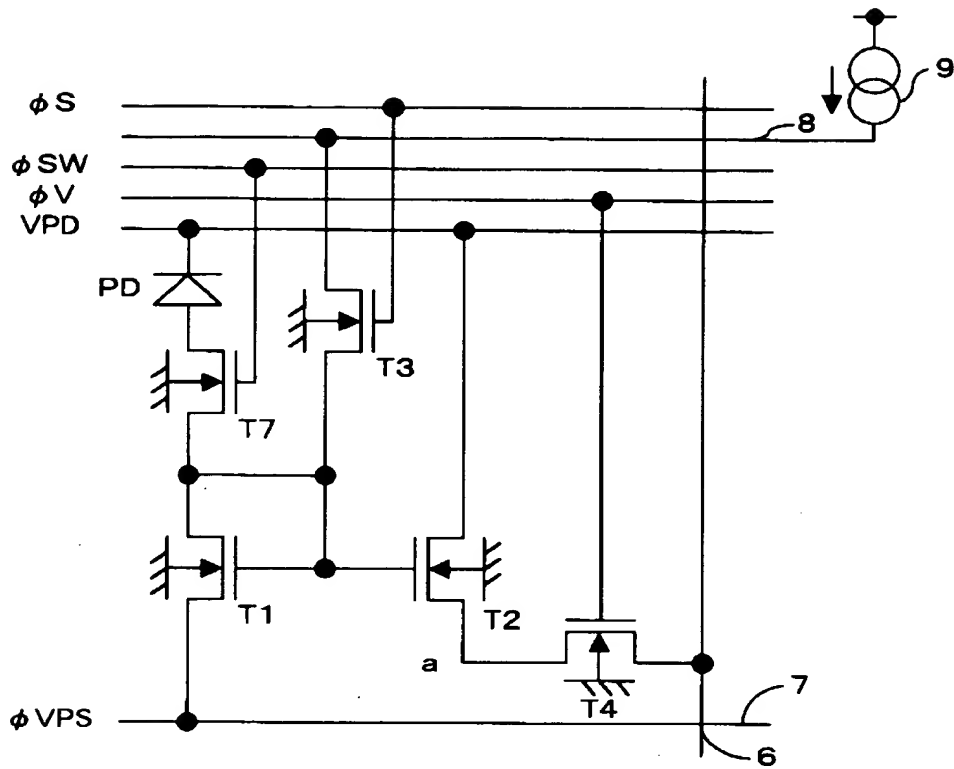
【図 9】



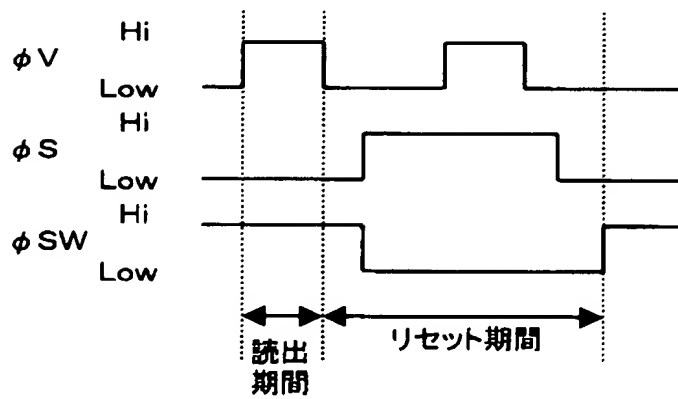
【図 1 0】



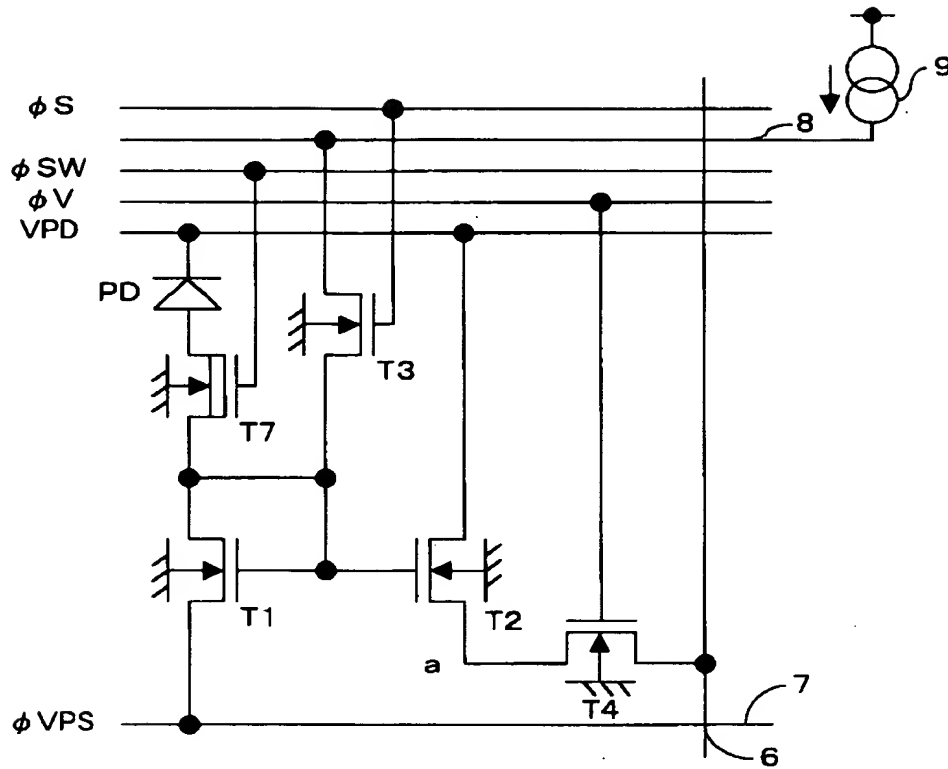
【図 1 1】



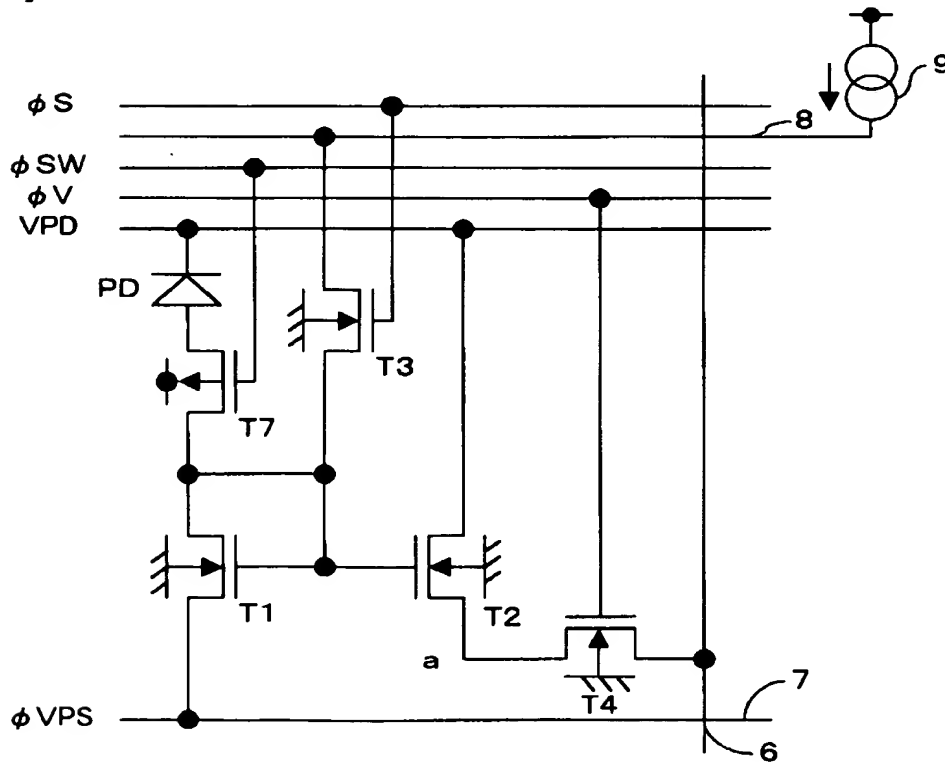
【図 1 2】



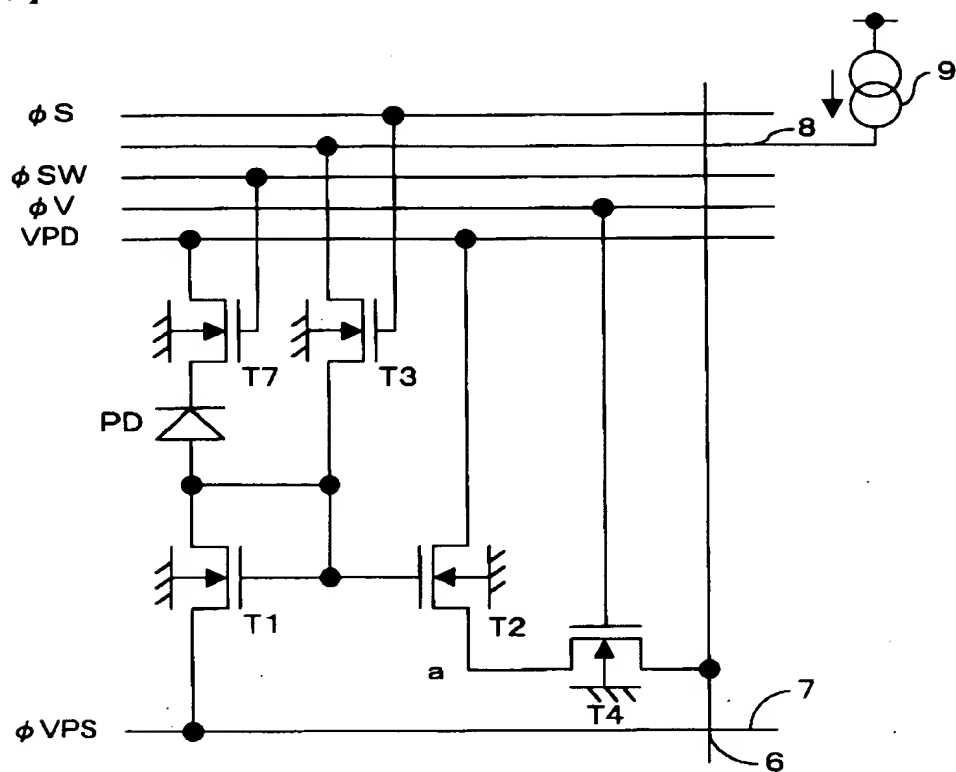
【図 1 3】



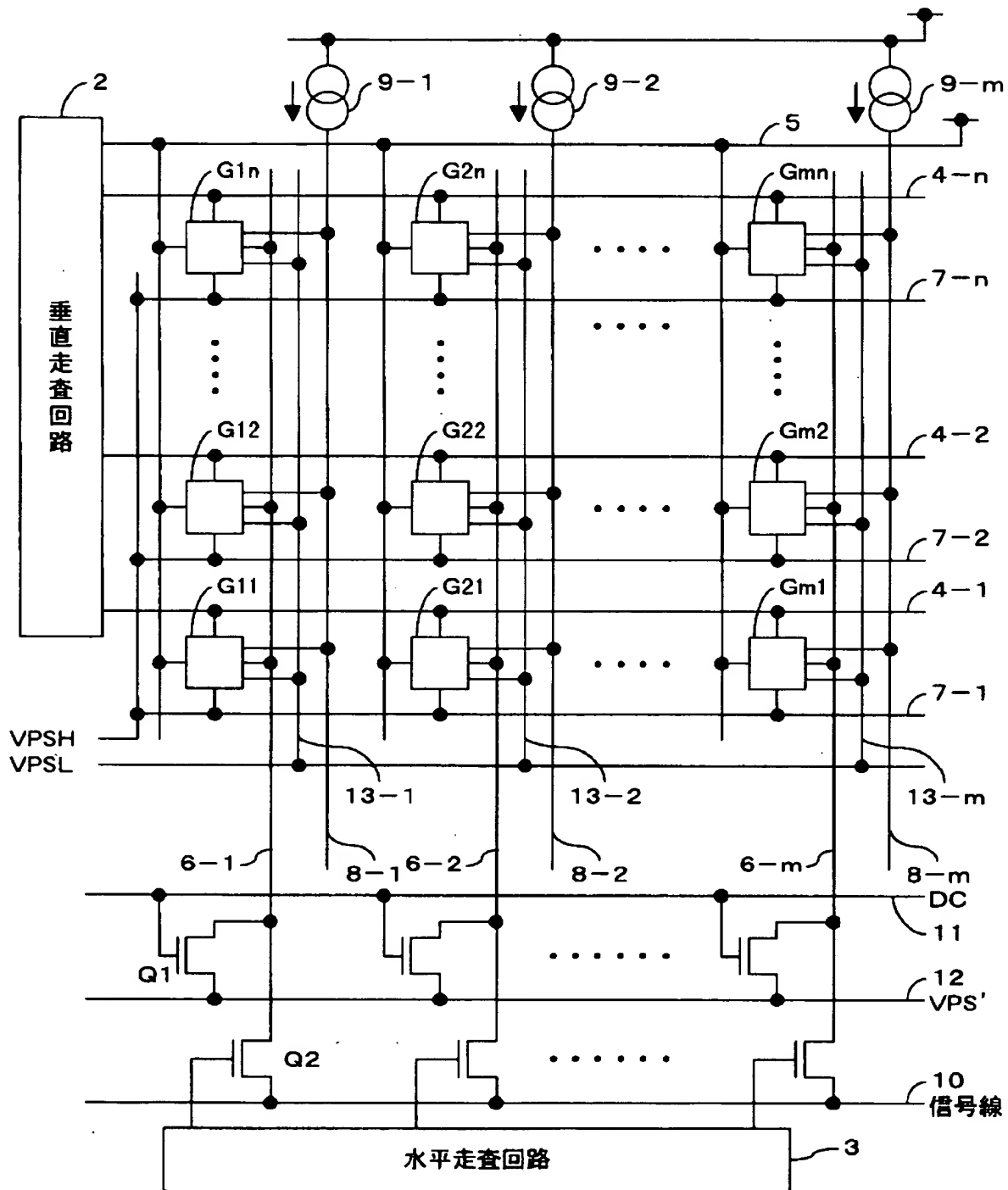
【図 1 4】



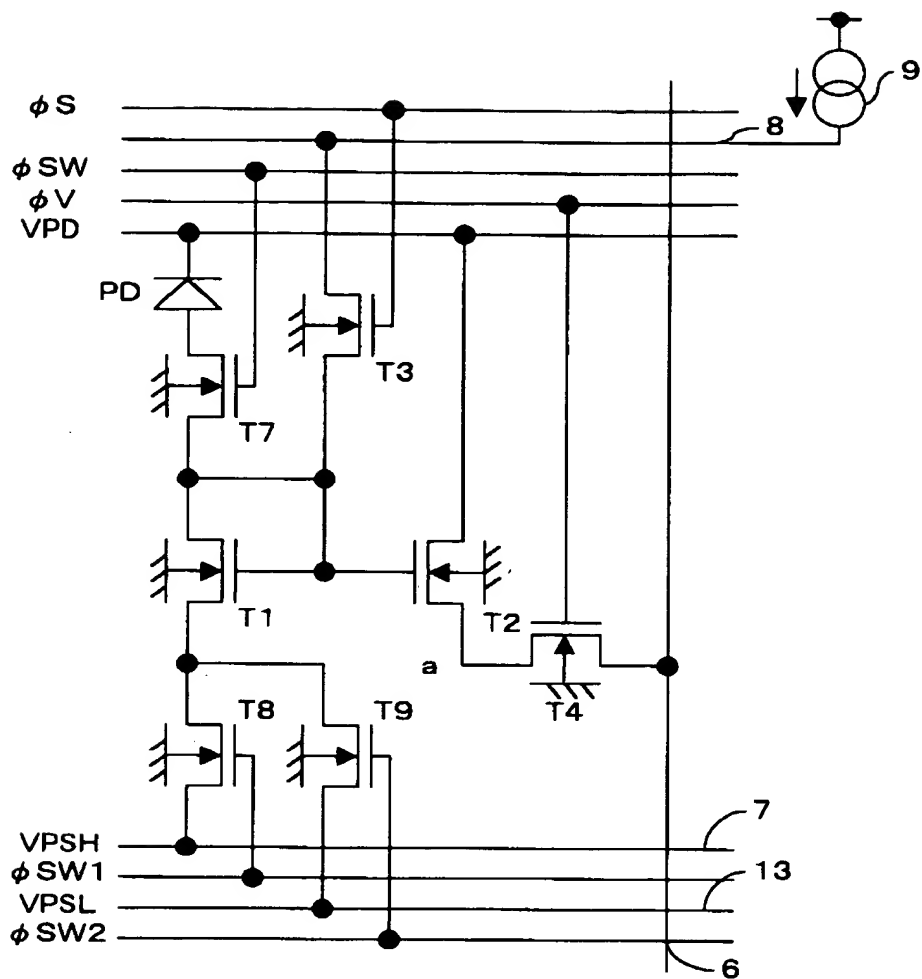
【図 1 5】



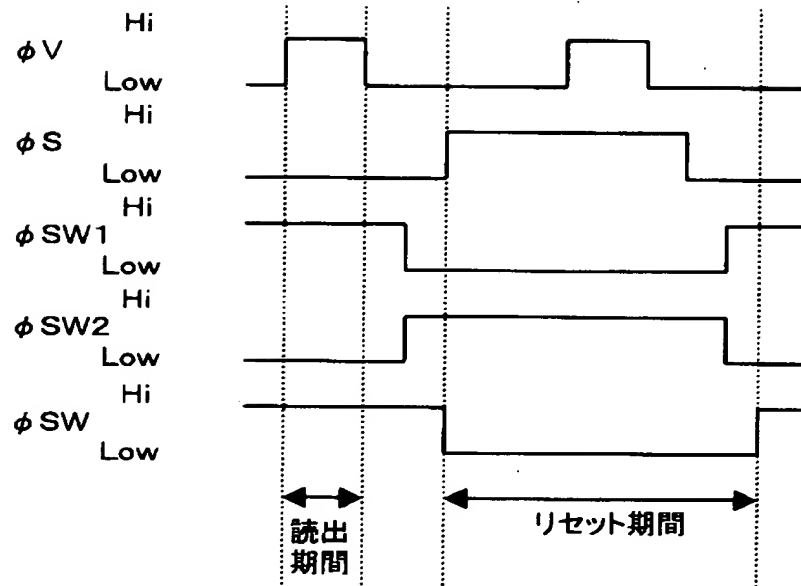
【図 1 6】



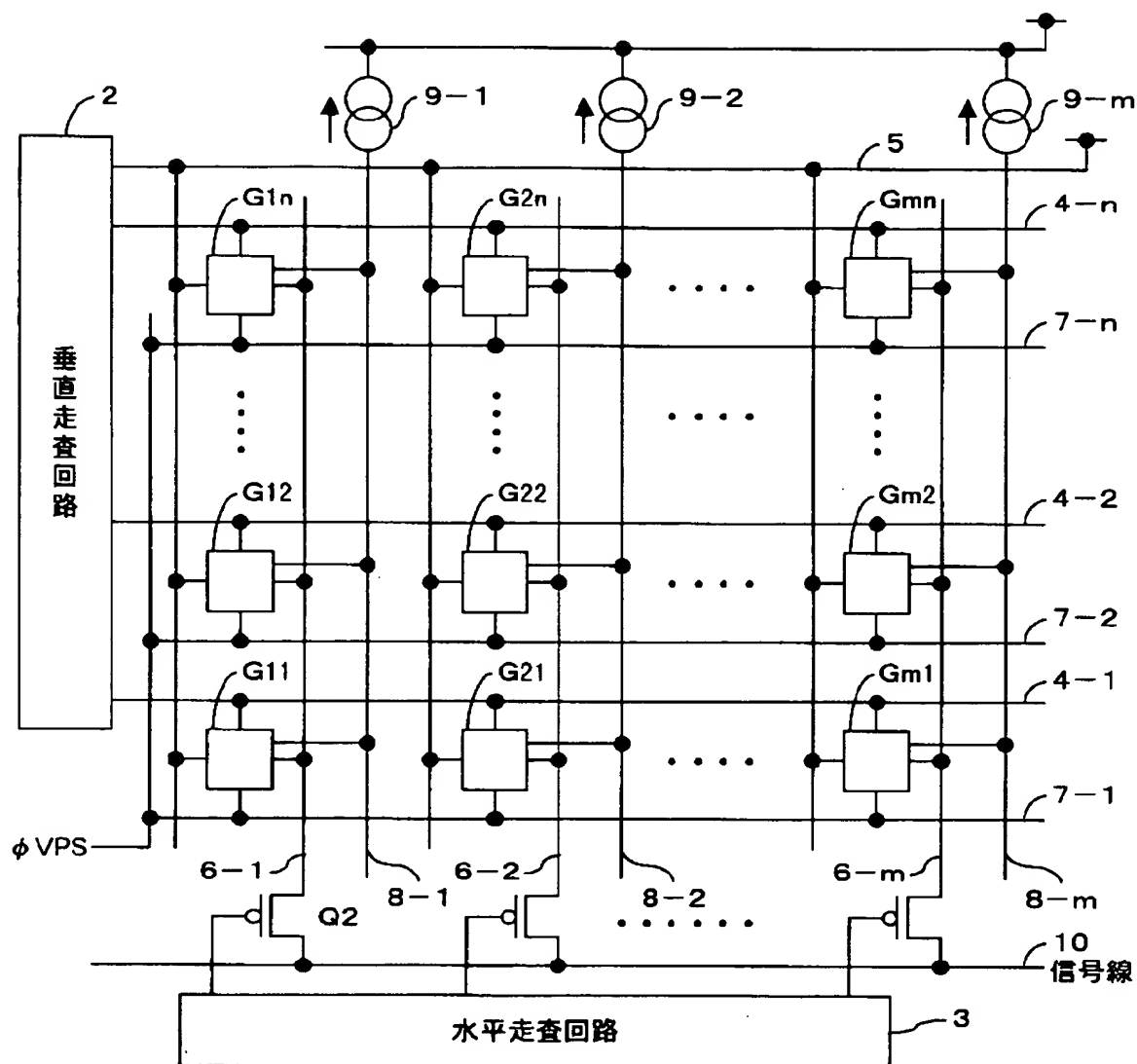
【図 1 7】



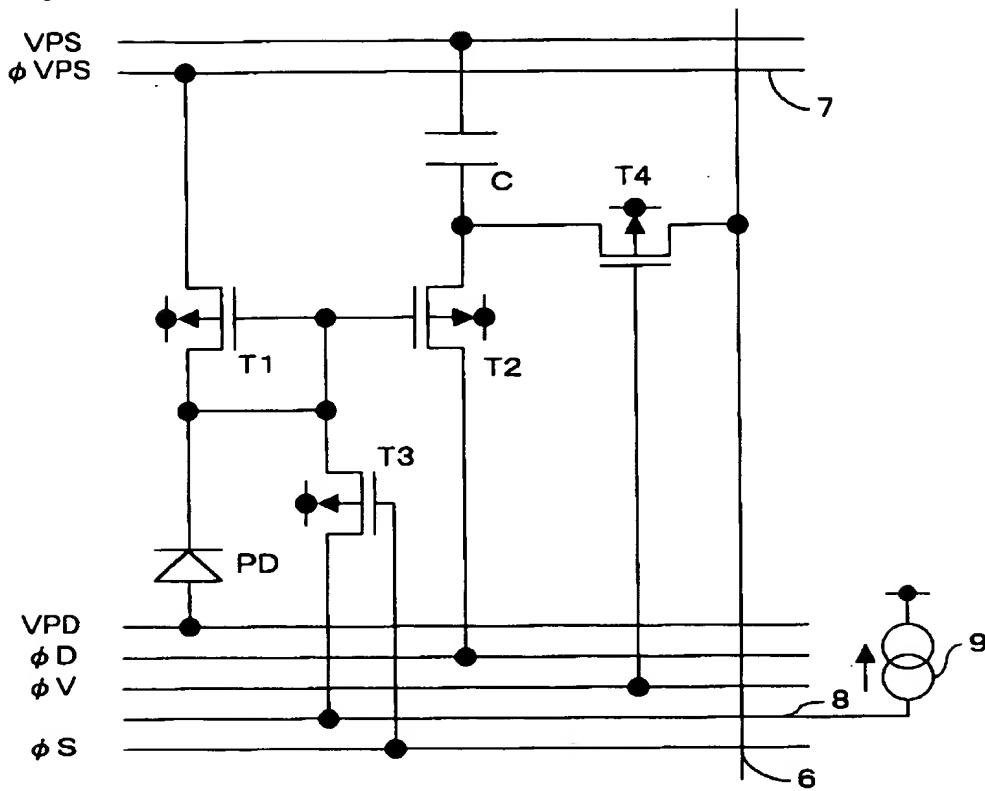
【図 1 8】



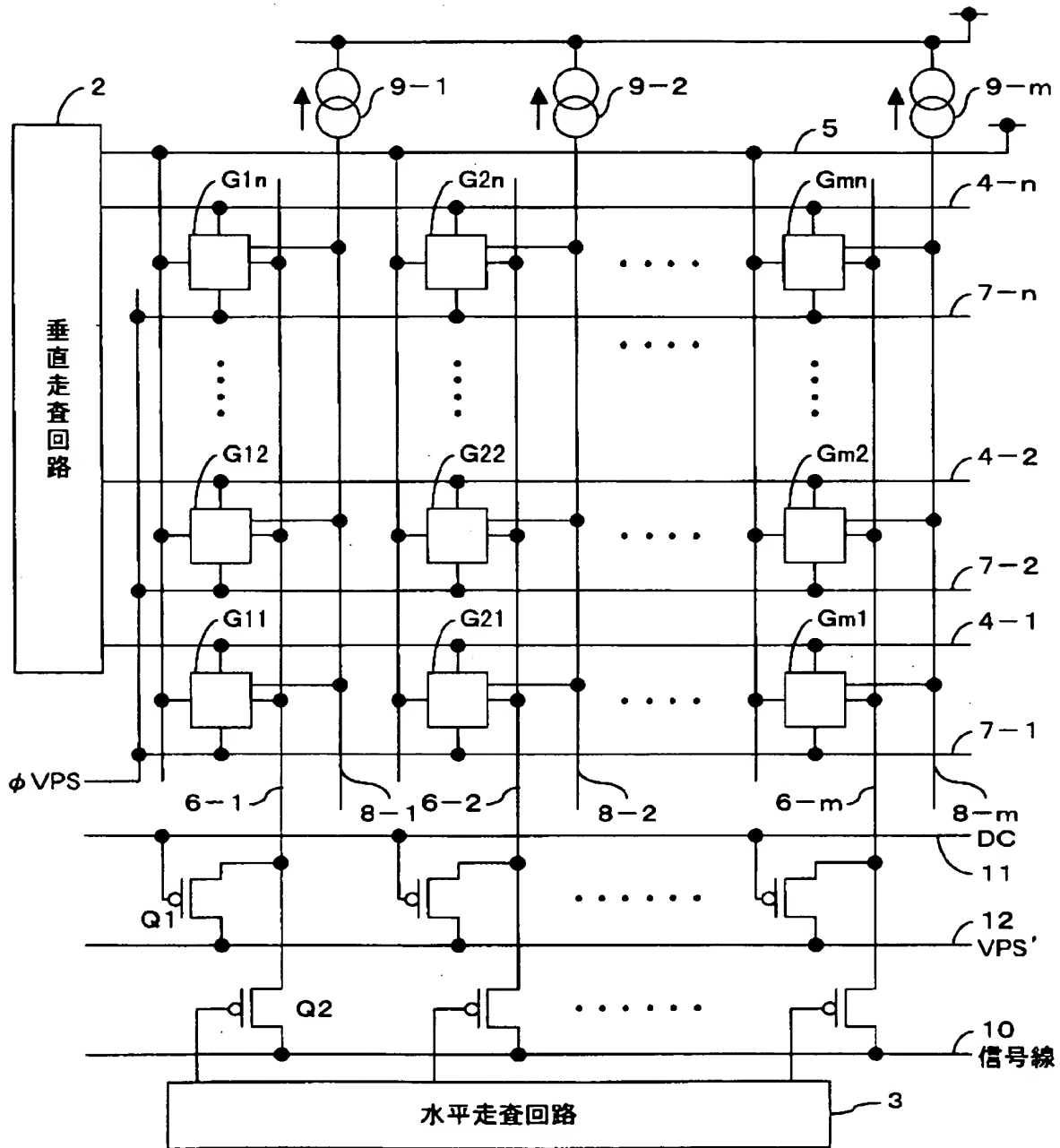
【図 1 9】



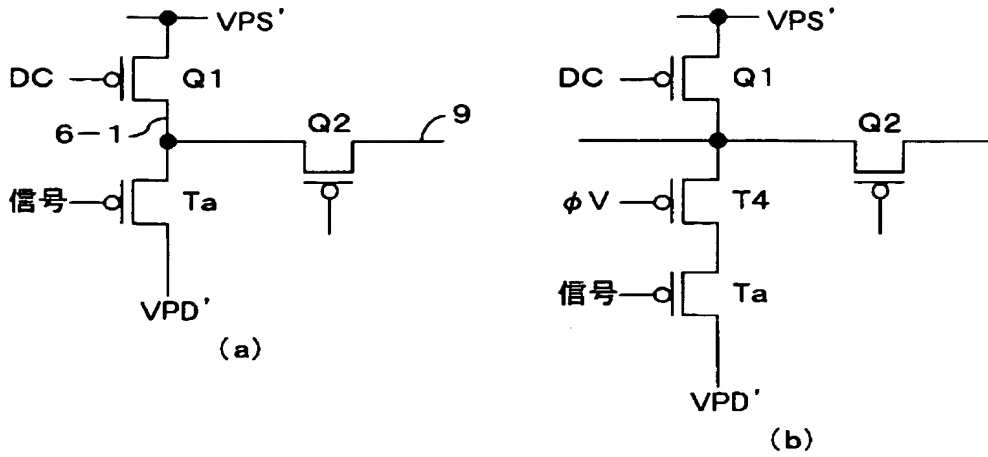
【図 2 0】



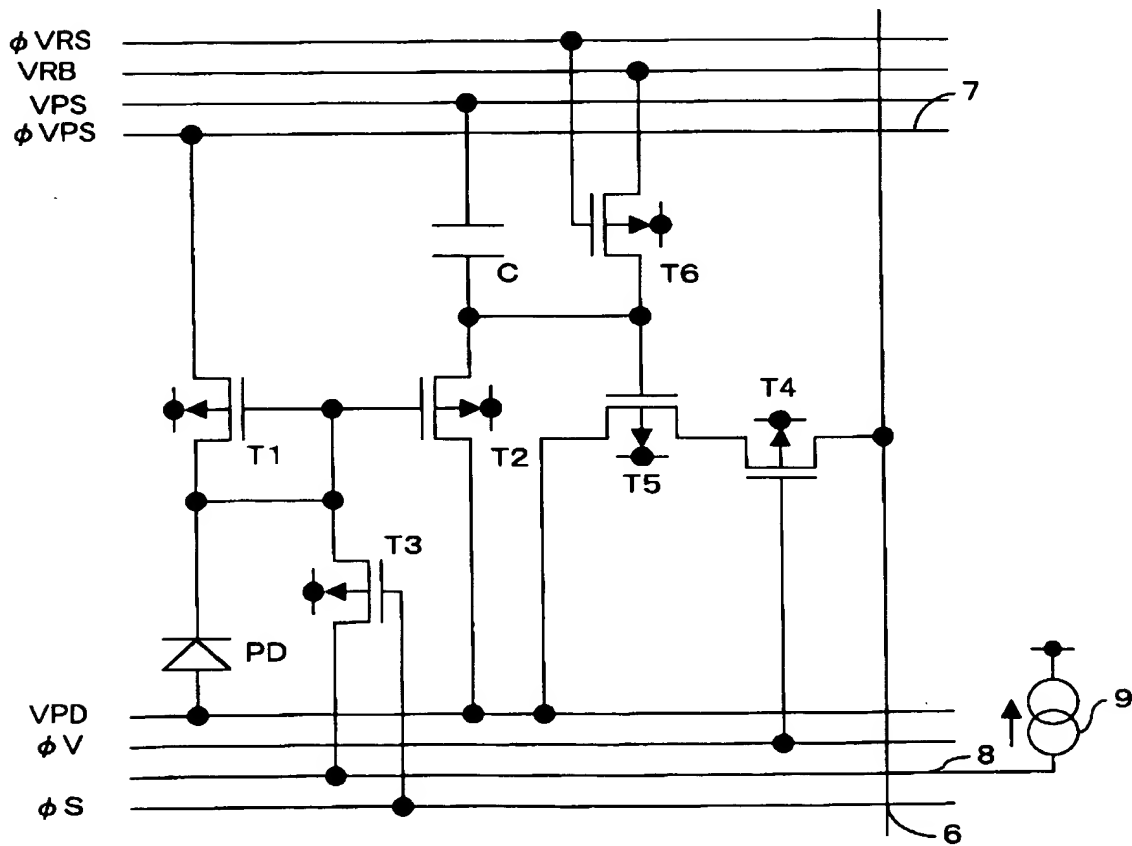
【図 2 1】



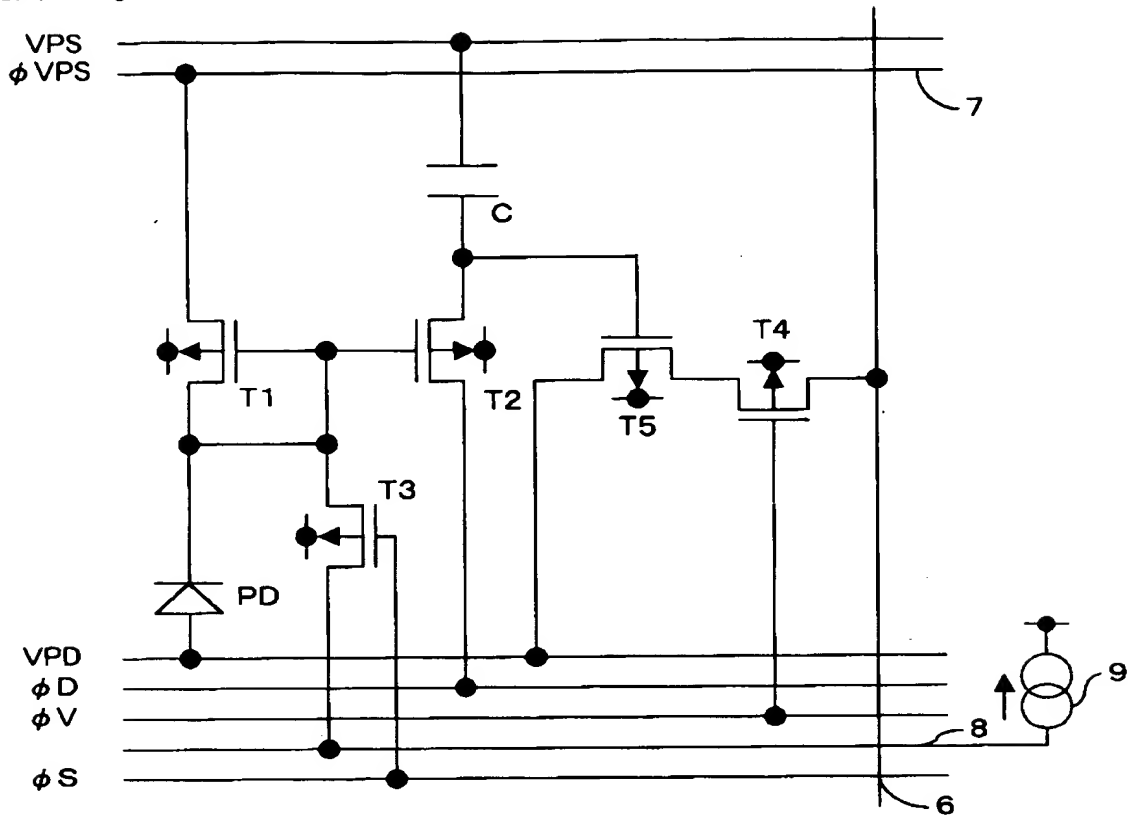
【図 2 2】



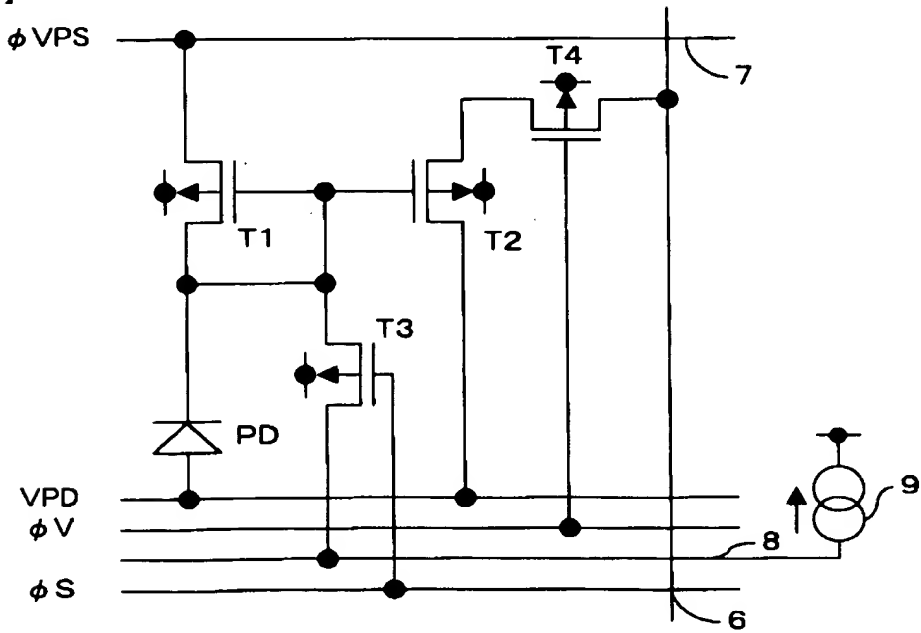
【図 2 3】



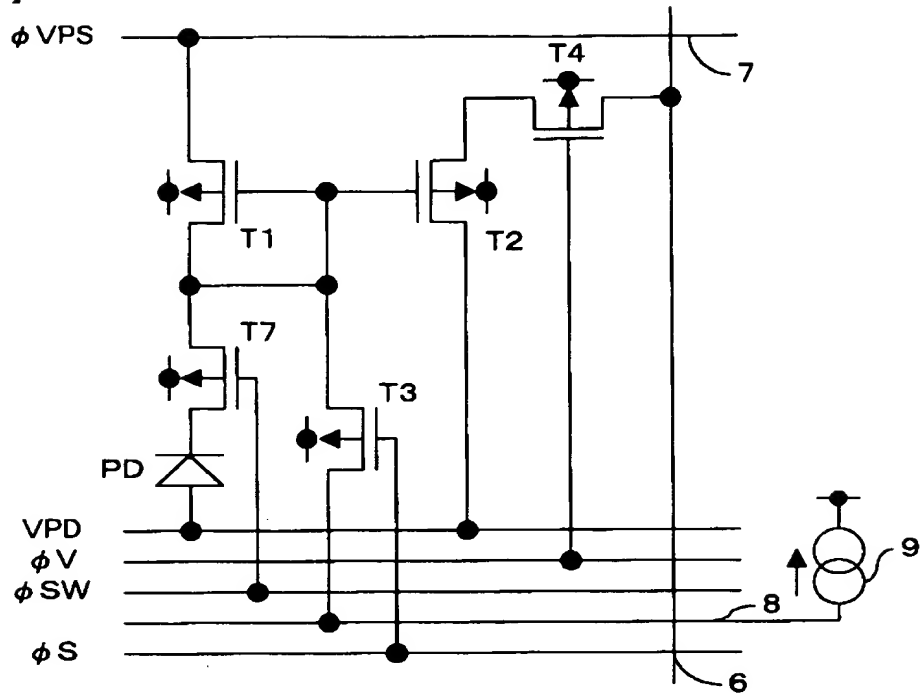
【図 2 4】



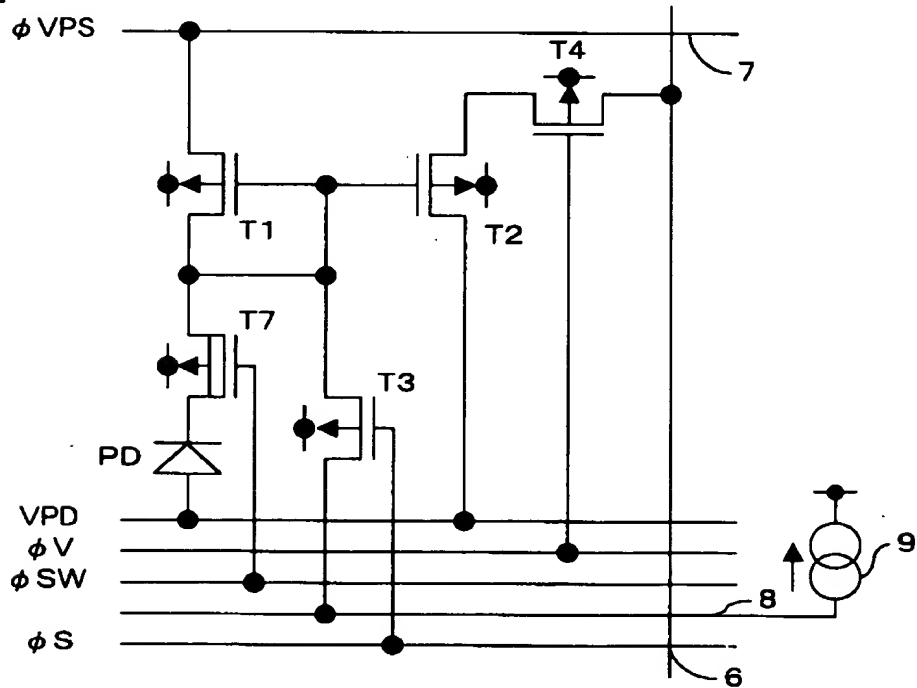
【図 2 5】



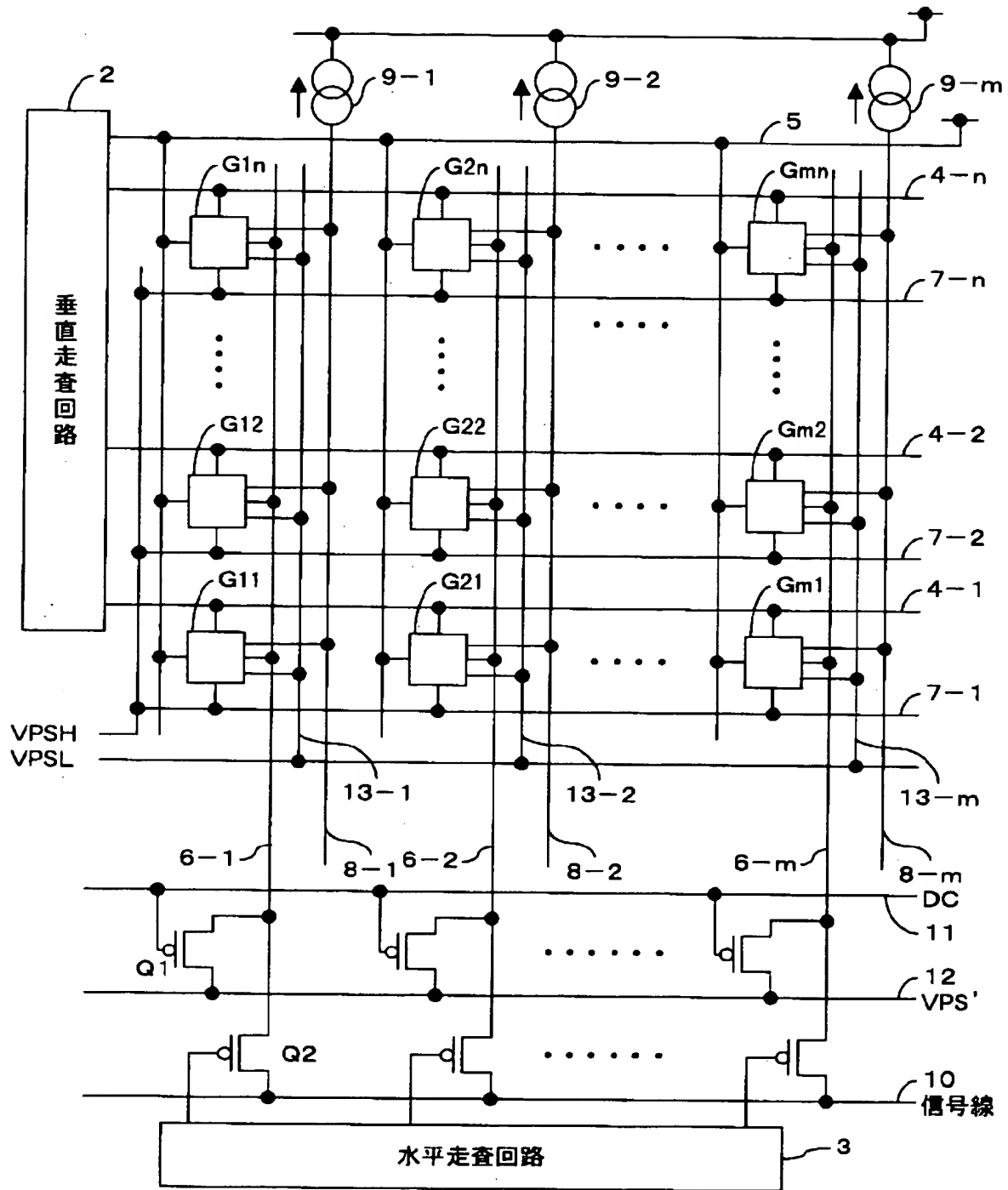
【図 2 6】



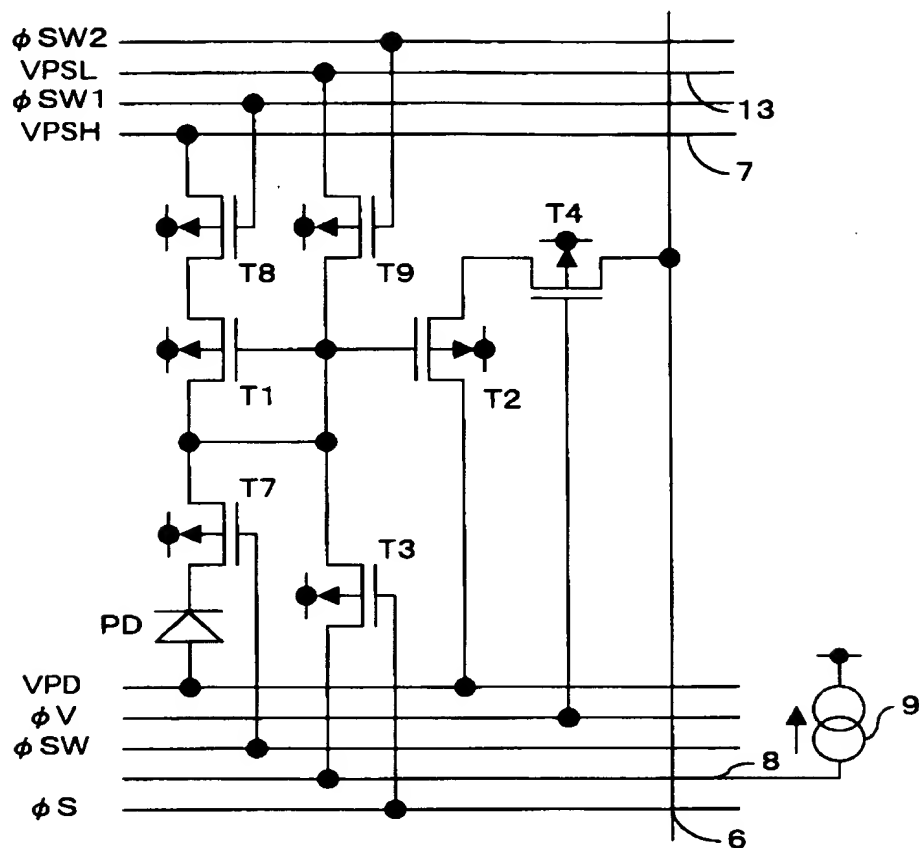
【図 2 7】



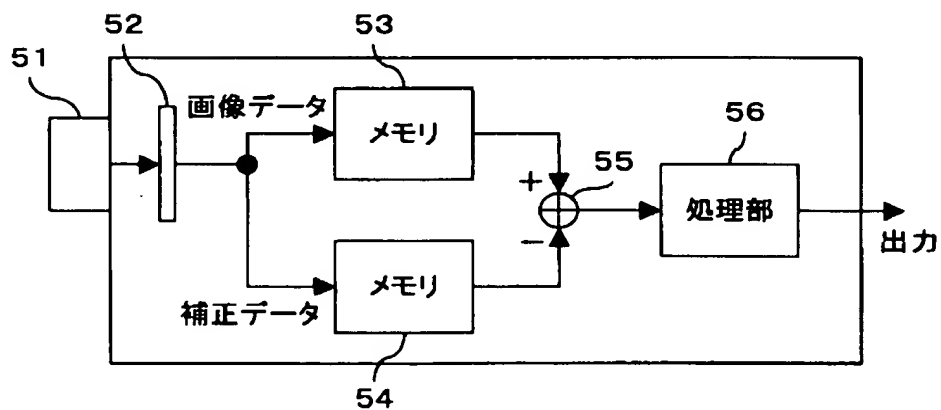
【図 3 0】



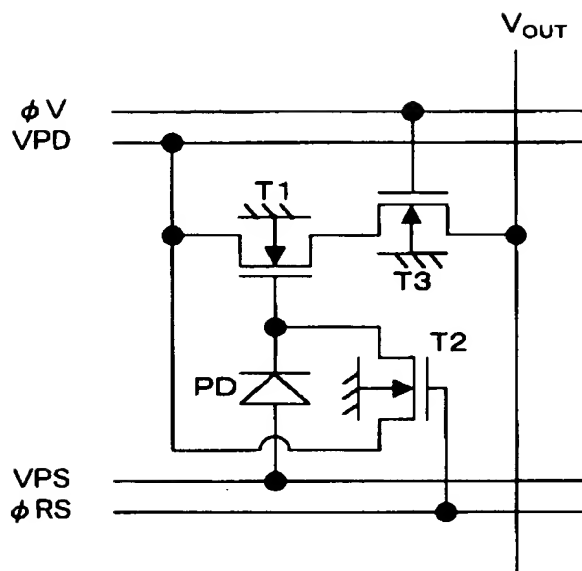
【図 3 1】



【図 3 2】



【図 3 3】



【書類名】 要約書

【要約】

【課題】 本発明は、高輝度域から低輝度域までの幅広い輝度範囲の被写体を高精細に撮像することができるとともに、低輝度域でも各画素が高速に基の状態にリセットされる応答性の良い固体撮像装置を提供することを目的とする。

【解決手段】 各画素が撮像動作を行う際、MOSトランジスタT1のソースに与える信号 ϕ VPSを第1電圧にするとともにMOSトランジスタT3をOFFにして、MOSトランジスタT1をサブスレッシュOLD領域で動作させる。各画素がリセット動作を行う際、MOSトランジスタT1に与える信号 ϕ VPSを第2電圧にするとともにMOSトランジスタT3をONにしてMOSトランジスタT1に定電流源9から定電流を流す。このとき、MOSトランジスタT3のドレイン電流が定電流源9から流れる電流によって決まるため、MOSトランジスタT1のゲート電圧がこのドレイン電流に応じた値となるようにリセットされる。

【選択図】 図2

出 願 人 履 歴 情 報

識別番号 [000006079]

1. 変更年月日	1994年 7月20日
[変更理由]	名称変更
住 所	大阪府大阪市中央区安土町二丁目3番13号 大阪国際ビル
氏 名	ミノルタ株式会社